

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JC903 U.S. PTO  
09/841537  
04/24/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

#3  
23 April  
P. Tablet

出 願 年 月 日  
Date of Application: 2000年 4月27日

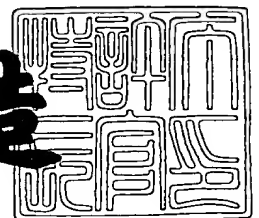
出 願 番 号  
Application Number: 特願2000-128526

出 願 人  
Applicant (s): 株式会社半導体エネルギー研究所

2001年 3月 9日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3016977

【書類名】 特許願

【整理番号】 P004880

【提出日】 平成12年 4月27日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 須沢 英臣

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小野 幸治

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

絶縁表面上に半導体層と、前記半導体膜上の絶縁膜と、前記絶縁膜上のゲート電極とを含む T F T と、

絶縁表面上に複数の凸部と、

前記 T F T 及び前記凸部を覆い、且つ、凸凹の表面を有する層間絶縁膜と、

前記層間絶縁膜上に、前記 T F T と電氣的に接続され、且つ、凸凹の表面を有する画素電極と、

を有することを特徴とする半導体装置。

【請求項 2】

絶縁表面上に半導体層と、前記半導体膜上の絶縁膜と、前記絶縁膜上のゲート電極とを含む T F T と、

絶縁表面上に複数の凸部と、

前記凸部と接し、且つ、凸凹の表面を有し、且つ、前記 T F T と電氣的に接続された画素電極と、

を有することを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、前記凸部は、前記 T F T の半導体層と同じ材料で形成された材料層と、前記 T F T の絶縁膜と同じ材料で形成された材料層と、前記 T F T のゲート電極と同じ材料で形成された材料層との積層物であることを特徴とする半導体装置。

【請求項 4】

請求項 1 または請求項 2 において、前記凸部は、前記 T F T の絶縁膜と同じ材料で形成された材料層と、前記 T F T のゲート電極と同じ材料で形成された材料層との積層物であることを特徴とする半導体装置。

【請求項 5】

請求項 1 または請求項 2 において、前記凸部は、前記 T F T のゲート電極と同じ

材料で形成された材料層であることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一において、前記複数の凸部のうち、少なくとも高さが異なる凸部を有することを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一において、前記複数の凸部のうち、少なくとも構造が異なる凸部を有することを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一において、前記半導体装置は、前記画素電極が A l または A g を主成分とする膜、またはそれらの積層膜からなる反射型の液晶表示装置であることを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至 8 のいずれか一において、  
第 1 の着色層と第 2 の着色層の積層からなる第 1 の遮光部と、  
前記第 1 の着色層と第 3 の着色層の積層からなる第 2 の遮光部とを有し、  
前記第 1 の遮光部及び前記第 2 の遮光部は、任意の画素電極と、該画素電極と隣り合う画素電極との間に重なって形成されていることを特徴とする半導体装置。

【請求項 1 0】

請求項 9 において、前記第 1 の遮光部の反射光量と前記第 2 の遮光部の反射光量は、それぞれ異なることを特徴とする半導体装置。

【請求項 1 1】

請求項 9 または請求項 1 0 において、前記第 1 の着色層は赤色であることを特徴とする半導体装置。

【請求項 1 2】

請求項 9 乃至 1 1 のいずれか一において、前記第 2 の着色層は青色であることを特徴とする半導体装置。

【請求項 1 3】

請求項 9 乃至 1 2 のいずれか一において、前記第 3 の着色層は緑色であること

を特徴とする半導体装置。

【請求項 1 4】

請求項 9 乃至 1 3 のいずれか一において、前記第 1 の遮光部および前記第 2 の遮光部は、対向基板に設けられていることを特徴とする半導体装置。

【請求項 1 5】

請求項 1 乃至 1 4 のいずれか一において、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスプレイ、または電子遊技機器である。

【請求項 1 6】

絶縁表面上に半導体層を形成する工程と、

前記半導体層上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に前記半導体層と重なる導電層を形成して、前記半導体層と前記第 1 の絶縁膜と前記導電層との積層構造からなる凸部を形成する工程と、

前記凸部を覆う第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜上に画素電極を形成する工程とを有し、

前記画素電極は前記凸部と重なり、表面に凸凹を有していることを特徴とする半導体装置の作製方法。

【請求項 1 7】

絶縁表面上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に前記半導体層と重なる導電層を形成して、前記第 1 の絶縁膜と前記導電層との積層構造からなる凸部を形成する工程と、

前記凸部を覆う第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜上に画素電極を形成する工程とを有し、

前記画素電極は前記凸部と重なり、表面に凸凹を有していることを特徴とする半導体装置の作製方法。

【請求項 1 8】

絶縁表面上に前記半導体層と重なる導電層を形成して、前記導電層からなる凸部を形成する工程と、

前記凸部を覆う絶縁膜を形成する工程と、

に画像表示装置のスイッチング素子として開発が急がれている。

【 0 0 0 4 】

液晶表示装置において、高品位な画像を得るために、画素電極をマトリクス状に配置し、画素電極の各々に接続するスイッチング素子としてTFTを用いたアクティブマトリクス型液晶表示装置が注目を集めている。

【 0 0 0 5 】

アクティブマトリクス型液晶表示装置には大きく分けて透過型と反射型の二種類のタイプが知られている。

【 0 0 0 6 】

特に、反射型の液晶表示装置は、透過型の液晶表示装置と比較して、バックライトを使用しないため、消費電力が少ないといった長所を有しており、モバイルコンピュータやビデオカメラ用の直視型表示ディスプレイとしての需要が高まっている。

【 0 0 0 7 】

なお、反射型の液晶表示装置は、液晶の光学変調作用を利用して、入射光が画素電極で反射して装置外部に出力される状態と、入射光が装置外部に出力されない状態とを選択し、明と暗の表示を行わせ、さらにそれらを組み合わせることで、画像表示を行うものである。一般に反射型の液晶表示装置における画素電極は、アルミニウム等の光反射率の高い金属材料からなり、薄膜トランジスタ（以下、TFTと呼ぶ）等のスイッチング素子に電氣的に接続している。

【 0 0 0 8 】

また、液晶表示装置においては、アモルファスシリコンまたはポリシリコンを半導体としたTFTをマトリクス状に配置して、各TFTに接続された画素電極とソース線とゲート線とがそれぞれ形成された素子基板と、これに対向配置された対向電極を有する対向基板との間に液晶材料が挟持されている。また、カラー表示するためのカラーフィルタは対向基板に貼りつけられている。そして、素子基板と対向基板にそれぞれ光シャッタとして偏光板を配置し、カラー画像を表示している。

【 0 0 0 9 】

【発明が解決しようとする課題】

反射型の液晶表示装置において、従来では、画素電極を形成した後、サンドブラスト法やエッチング法等の工程を追加して表面を凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させていた。

【0010】

本発明では、工程を増やすことなく、反射電極の鏡面反射を防ぐ凸凹を形成する。

【0011】

【課題を解決するための手段】

本発明では、反射型の液晶表示装置の作製方法において、画素電極の表面に凹凸を持たせて光散乱性を図るための凸部の形成をTFTの形成と同じフォトマスクで行うことを特徴とする。なお、この凸部は配線及びTFT部以外の画素部領域の基板上に適宜設ける。そして、凸部を覆う絶縁膜の表面に形成された凸凹に沿って画素電極の表面に凸凹が形成される。

【0012】

本明細書で開示する発明の構成は、

絶縁表面上に半導体層と、前記半導体膜上の絶縁膜と、前記絶縁膜上のゲート電極とを含むTFTと、

絶縁表面上に複数の凸部と、

前記TFT及び前記凸部を覆い、且つ、凸凹の表面を有する層間絶縁膜と、

前記層間絶縁膜上に、前記TFTと電氣的に接続され、且つ、凸凹の表面を有する画素電極と、

を有することを特徴とする半導体装置である。

【0013】

また、他の発明の構成は、

絶縁表面上に半導体層と、前記半導体膜上の絶縁膜と、前記絶縁膜上のゲート電極とを含むTFTと、

絶縁表面上に複数の凸部と、

前記凸部と接し、且つ、凸凹の表面を有し、且つ、前記TFTと電氣的に接続



された画素電極と、

を有することを特徴とする半導体装置である。

【 0 0 1 4 】

上記各構成において、前記凸部は、前記 T F T の半導体層と同じ材料で形成された材料層と、前記 T F T の絶縁膜と同じ材料で形成された材料層と、前記 T F T のゲート電極と同じ材料で形成された材料層との積層物であることを特徴としている。

【 0 0 1 5 】

また、上記各構成において、前記凸部は、前記 T F T の絶縁膜と同じ材料で形成された材料層と、前記 T F T のゲート電極と同じ材料で形成された材料層との積層物であることを特徴としている。

【 0 0 1 6 】

また、上記各構成において、前記凸部は、前記 T F T のゲート電極と同じ材料で形成された材料層であることを特徴としている。

【 0 0 1 7 】

また、上記各構成において、前記複数の凸部のうち、少なくとも高さが異なる凸部を有することを特徴としている。

【 0 0 1 8 】

また、上記各構成において、前記複数の凸部のうち、少なくとも構造が異なる凸部を有することを特徴としている。

【 0 0 1 9 】

また、上記各構成において、前記半導体装置は、前記画素電極が A l または A g を主成分とする膜、またはそれらの積層膜からなる反射型の液晶表示装置であることを特徴としている。

【 0 0 2 0 】

また、上記各構成において、第 1 の着色層と第 2 の着色層の積層からなる第 1 の遮光部と、

前記第 1 の着色層と第 3 の着色層の積層からなる第 2 の遮光部とを有し、

前記第 1 の遮光部及び前記第 2 の遮光部は、任意の画素電極と、該画素電極と

隣り合う画素電極との間に重なって形成されていることを特徴としている。

【 0 0 2 1 】

また、上記構成において、前記第 1 の遮光部の反射光量と前記第 2 の遮光部の反射光量は、それぞれ異なることを特徴としている。また、前記第 1 の着色層は赤色であることを特徴としている。また、前記第 2 の着色層は青色であることを特徴としている。また、前記第 3 の着色層は緑色であることを特徴としている。また、前記第 1 の遮光部および前記第 2 の遮光部は、対向基板に設けられていることを特徴としている。

【 0 0 2 2 】

また、上記構造を実現するための発明の構成は、  
絶縁表面上に半導体層を形成する工程と、  
前記半導体層上に第 1 の絶縁膜を形成する工程と、  
前記第 1 の絶縁膜上に前記半導体層と重なる導電層を形成して、前記半導体層と前記第 1 の絶縁膜と前記導電層との積層構造からなる凸部を形成する工程と、  
前記凸部を覆う第 2 の絶縁膜を形成する工程と、  
前記第 2 の絶縁膜上に画素電極を形成する工程とを有し、  
前記画素電極は前記凸部と重なり、表面に凸凹を有していることを特徴とする半導体装置の作製方法である。

【 0 0 2 3 】

また、上記構造を実現するための他の発明の構成は、  
絶縁表面上に第 1 の絶縁膜を形成する工程と、  
前記第 1 の絶縁膜上に前記半導体層と重なる導電層を形成して、前記第 1 の絶縁膜と前記導電層との積層構造からなる凸部を形成する工程と、  
前記凸部を覆う第 2 の絶縁膜を形成する工程と、  
前記第 2 の絶縁膜上に画素電極を形成する工程とを有し、  
前記画素電極は前記凸部と重なり、表面に凸凹を有していることを特徴とする半導体装置の作製方法である。

【 0 0 2 4 】

また、上記構造を実現するための他の発明の構成は、

絶縁表面上に前記半導体層と重なる導電層を形成して、前記導電層からなる凸部を形成する工程と、

前記凸部を覆う絶縁膜を形成する工程と、

前記絶縁膜上に画素電極を形成する工程とを有し、

前記画素電極は前記凸部と重なり、表面に凸凹を有していることを特徴とする半導体装置の作製方法である。

【 0 0 2 5 】

また、上記本発明の作製方法において、前記半導体装置は、前記画素電極が A l または A g を主成分とする膜、またはそれらの積層膜からなる反射型の液晶表示装置であることを特徴としている。

【 0 0 2 6 】

また、上記本発明の作製方法において、前記凸部と同じ工程で T F T を形成することを特徴としている。

【 0 0 2 7 】

また、上記本発明の作製方法において、前記画素電極は、凸部と同じ工程で形成された T F T と接続していることを特徴としている。

【 0 0 2 8 】

【発明の実施の形態】

本願発明の実施形態について、以下に説明する。

【 0 0 2 9 】

図 4 に本発明の構成を示す。ここでは反射型の液晶表示装置を例にとり、以下に説明する。

【 0 0 3 0 】

本発明は、画素部 4 0 7 において、画素 T F T と同時に凸部 7 0 1、7 0 2 を形成し、その上に形成される絶縁膜の表面を凹凸化させて、その上に形成する画素電極 1 6 9 の表面に凹凸部を持たせることを特徴としている。

【 0 0 3 1 】

この凸部 7 0 1、7 0 2 は、図 1 ～図 3 に示すように、半導体層の形成時のマスクパターンまたはゲート配線の形成時のマスクパターンを用いて形成する。凸

部 7 0 1、7 0 2 は、フォトマスクを用いて作製すると再現性の高いものが得られる。また、ここでは、凸部 7 0 1、7 0 2 として、画素 T F T の作製時に成膜された半導体膜、絶縁膜、導電膜とを積層した例を示したが、特に限定されることなく、これらの膜の単層または組み合わせた積層を用いることができる。例えば、半導体膜と絶縁膜との積層膜からなる凸部や導電膜からなる凸部を形成することができる。即ち、工程数を増加させることなく複数種類の高さを有する凸部を形成することができる。また、相互に近接する凸部は、それぞれ  $0.1 \mu\text{m}$  以上、好ましくは  $1 \mu\text{m}$  以上隔離されている。

#### 【 0 0 3 2 】

なお、ここでは大きさの異なる凸部を形成した例を示したが、特に限定されない。なお、凸部の大きさはランダムであるほうが、より反射光を散乱させるため望ましい。例えば、径方向の断面が多角形であってもよいし、左右対称でない形状であってもよい。例えば、図 6 (A) ~ (G) で示された形状のうち、いずれのものでもよい。また、凸部を規則的に配置しても不規則に配置してもよい。なお、凸部の配置は、画素部の表示領域となる画素電極の下方にあたる領域であれば特に限定されず、凸部の大きさ（上面から見た面積）も特に限定されないが  $1 \mu\text{m}^2 \sim 400 \mu\text{m}^2$  の範囲内、好ましくは  $25 \sim 100 \mu\text{m}^2$  であればよい。

#### 【 0 0 3 3 】

こうして形成された凸部 7 0 1、7 0 2 を覆う絶縁膜は、表面に凸凹が形成され、その上に形成される画素電極 1 6 9 の表面も凸凹化される。この画素電極 1 6 9 の凸部の高さは  $0.3 \sim 3 \mu\text{m}$ 、好ましくは  $0.5 \sim 1.5 \mu\text{m}$  である。この画素電極 1 6 9 の表面に形成された凸凹によって、図 4 に示すように入射光を反射する際に光を散乱させることができた。

#### 【 0 0 3 4 】

なお、絶縁膜としては、無機絶縁膜や有機樹脂膜を用いることができる。この絶縁膜の材料によって画素電極の凸凹の曲率を調節することも可能である。なお、この画素電極の凸部における曲率半径は、 $0.1 \sim 4 \mu\text{m}$ 、好ましくは  $0.2 \sim 2 \mu\text{m}$  である。また、絶縁膜として有機樹脂膜を用いる場合は、粘度が  $10 \sim 1000 \text{ c p}$ 、好ましくは  $40 \sim 200 \text{ c p}$  のものを用い、十分に凸部 7 0 1、

702の影響を受けて表面に凸凹が形成されるものを用いる。ただし、蒸発しにくい溶剤を用いれば、有機樹脂膜の粘度が低くても凸凹を形成することができる。

#### 【0035】

このようにして、本発明は、作製工程数を増やすことなく、表面に凸凹を有する画素電極169を形成することができる。

#### 【0036】

また、ここで示した例はトップゲート型のTF Tであるが、ボトムゲート型のTF Tにも適用することは可能である。

#### 【0037】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

#### 【0038】

##### 【実施例】

##### 【実施例1】

ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTF T（nチャネル型TF T及びpチャネル型TF T）を同時に作製する方法について詳細に説明する。ここでは、主に図9～11を用いて説明しながら、同時に図1～図3で凸凹を有する反射電極の作製方法を説明する。なお、図1～図3は画素部（画素TF T、凸部、保持容量）についての作製工程図であり、図9～図11は、画素部（画素TF T、保持容量）と駆動回路のTF Tについての作製工程図である。

#### 【0039】

まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板100を用いる。なお、基板100としては、石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。

## 【 0 0 4 0 】

次いで、基板 1 0 0 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 1 0 1 を形成する。本実施例では下地膜 1 0 1 として 2 層構造を用いるが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。下地膜 1 0 1 の一層目としては、プラズマ C V D 法を用い、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び  $\text{N}_2\text{O}$  を反応ガスとして成膜される酸化窒化シリコン膜 1 0 2 a を 1 0 ~ 2 0 0 nm (好ましくは 5 0 ~ 1 0 0 nm) 形成する。本実施例では、膜厚 5 0 nm の酸化窒化シリコン膜 1 0 2 a (組成比  $\text{Si} = 32\%$ 、 $\text{O} = 27\%$ 、 $\text{N} = 24\%$ 、 $\text{H} = 17\%$ ) を形成した。次いで、下地膜 1 0 1 の二層目としては、プラズマ C V D 法を用い、 $\text{SiH}_4$ 、及び  $\text{N}_2\text{O}$  を反応ガスとして成膜される酸化窒化シリコン膜 1 0 1 b を 5 0 ~ 2 0 0 nm (好ましくは 1 0 0 ~ 1 5 0 nm) の厚さに積層形成する。本実施例では、膜厚 1 0 0 nm の酸化窒化シリコン膜 1 0 1 b (組成比  $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$ ) を形成した。

## 【 0 0 4 1 】

次いで、下地膜上に半導体層 1 0 2 ~ 1 0 6 を形成する。半導体層 1 0 2 ~ 1 0 6 は、非晶質構造を有する半導体膜を公知の手段 (スパッタ法、L P C V D 法、またはプラズマ C V D 法等) により成膜した後、公知の結晶化処理 (レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等) を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層 1 0 2 ~ 1 0 6 の厚さは 2 5 ~ 8 0 nm (好ましくは 3 0 ~ 6 0 nm) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム ( $\text{SiGe}$ ) 合金などで形成すると良い。本実施例では、プラズマ C V D 法を用い、5 5 nm の非晶質シリコン膜を成膜した後、ニッケルを含む溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜に脱水素化 (5 0 0 °C、1 時間) を行った後、熱結晶化 (5 5 0 °C、4 時間) を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質シリコン膜を形成した。そして、この結晶質シリコン膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層 1 0 2 ~ 1 0 6 を形成した。

## 【 0 0 4 2 】

また、半導体層 1 0 2 ~ 1 0 6 を形成した後、T F T のしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。

## 【 0 0 4 3 】

また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーや Y A G レーザー、Y V O<sub>4</sub> レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 3 0 H z とし、レーザーエネルギー密度を 1 0 0 ~ 4 0 0 m J / c m<sup>2</sup> (代表的には 2 0 0 ~ 3 0 0 m J / c m<sup>2</sup>) とする。また、Y A G レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 1 0 k H z とし、レーザーエネルギー密度を 3 0 0 ~ 6 0 0 m J / c m<sup>2</sup> (代表的には 3 5 0 ~ 5 0 0 m J / c m<sup>2</sup>) とすると良い。そして幅 1 0 0 ~ 1 0 0 0 μ m、例えば 4 0 0 μ m で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を 8 0 ~ 9 8 % として行えばよい。

## 【 0 0 4 4 】

次いで、半導体層 1 0 2 ~ 1 0 6 を覆うゲート絶縁膜 1 0 7 を形成する。ゲート絶縁膜 1 0 7 はプラズマ C V D 法またはスパッタ法を用い、厚さを 4 0 ~ 1 5 0 n m としシリコンを含む絶縁膜で形成する。本実施例では、プラズマ C V D 法により 1 1 0 n m の厚さで酸化窒化シリコン膜（組成比 S i = 3 2 %、O = 5 9 %、N = 7 %、H = 2 %）で形成した。勿論、ゲート絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

## 【 0 0 4 5 】

また、酸化シリコン膜を用いる場合には、プラズマ C V D 法で T E O S (Tetr aethyl Orthosilicate) と O<sub>2</sub> とを混合し、反応圧力 4 0 Pa、基板温度 3 0 0 ~ 4 0 0 ° C とし、高周波 (1 3 . 5 6 M H z) 電力密度 0 . 5 ~ 0 . 8 W / c m<sup>2</sup> で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その

後 4 0 0 ~ 5 0 0 ℃ の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

## 【 0 0 4 6 】

次いで、図 9 (A) に示すように、ゲート絶縁膜 1 0 7 上に膜厚 2 0 ~ 1 0 0 nm の第 1 の導電膜 1 0 8 と、膜厚 1 0 0 ~ 4 0 0 nm の第 2 の導電膜 1 0 9 とを積層形成する。本実施例では、膜厚 3 0 nm の TaN 膜からなる第 1 の導電膜 1 0 8 と、膜厚 3 7 0 nm の W 膜からなる第 2 の導電膜 1 0 9 を積層形成した。TaN 膜はスパッタ法で形成し、Ta のターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W 膜は、W のターゲットを用いたスパッタ法で形成した。その他に 6 フッ化タングステン ( $WF_6$ ) を用いる熱 CVD 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は  $20 \mu\Omega \text{cm}$  以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度の W (純度 99.9999%) のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率  $9 \sim 20 \mu\Omega \text{cm}$  を実現することができた。

## 【 0 0 4 7 】

なお、本実施例では、第 1 の導電膜 1 0 8 を TaN、第 2 の導電膜 1 0 9 を W としたが、特に限定されず、いずれも Ta、W、Ti、Mo、Al、Cu から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、第 1 の導電膜をタンタル (Ta) 膜で形成し、第 2 の導電膜を W 膜とする組み合わせ、第 1 の導電膜を窒化タンタル (TaN) 膜で形成し、第 2 の導電膜を Al 膜とする組み合わせ、第 1 の導電膜を窒化タンタル (TaN) 膜で形成し、第 2 の導電膜を Cu 膜とする組み合わせとしてもよい。

## 【 0 0 4 8 】

なお、図 9 (A) と図 1 (A) は対応しており、同じ符号を用いている。図 1



(A) に示すように、画素部 4 0 7 では、半導体層 1 0 5 と同時に半導体層 3 0 1 a ~ 3 0 1 d を形成する。

#### 【 0 0 4 9 】

次に、フォトリソグラフィ法を用いてレジストからなるマスク 1 1 0 ~ 1 1 5 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。第 1 のエッチング処理では第 1 及び第 2 のエッチング条件で行う。本実施例では I C P (Inductively Coupled Plasma : 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに  $\text{CF}_4$  と  $\text{Cl}_2$  と  $\text{O}_2$  とを用い、それぞれのガス流量比を 2 5 / 2 5 / 1 0 (s c c m) とし、1 Pa の圧力でコイル型の電極に 5 0 0 W の R F (13.56MHz) 電力を投入してプラズマを生成してエッチングを行った。基板側 (試料ステージ) にも 1 5 0 W の R F (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第 1 のエッチング条件により W 膜をエッチングして第 1 の導電層の端部をテーパ形状とする。

#### 【 0 0 5 0 】

この後、レジストからなるマスク 1 1 0 ~ 1 1 5 を除去せずに第 2 のエッチング条件に変え、エッチング用ガスに  $\text{CF}_4$  と  $\text{Cl}_2$  とを用い、それぞれのガス流量比を 3 0 / 3 0 (s c c m) とし、1 Pa の圧力でコイル型の電極に 5 0 0 W の R F (13.56MHz) 電力を投入してプラズマを生成して約 3 0 秒程度のエッチングを行った。基板側 (試料ステージ) にも 2 0 W の R F (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 $\text{CF}_4$  と  $\text{Cl}_2$  を混合した第 2 のエッチング条件では W 膜及び T a N 膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、1 0 ~ 2 0 % 程度の割合でエッチング時間を増加させると良い。

#### 【 0 0 5 1 】

上記第 1 のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第 1 の導電層及び第 2 の導電層の端部がテーパ形状となる。このテーパ部の角度は 1 5 ~ 4 5 ° となる。こうして、第 1 のエッチング処理により第 1 の導電層と第 2 の導電層から成る第 1 の形状の導電層 1 1 7 ~ 1 2 2 (第 1 の導電層 1 1 7 a ~ 1 2 2

aと第2の導電層117b～122b)を形成する。116はゲート絶縁膜であり、第1の形状の導電層117～122で覆われない領域は20～50nm程度エッチングされ薄くなった領域が形成される。

#### 【0052】

そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する。(図9(B))ドーピング処理はイオンドーブ法、若しくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15} \text{ atoms/cm}^2$ とし、加速電圧を60～100keVとして行う。本実施例ではドーズ量を $1.5 \times 10^{15} \text{ atoms/cm}^2$ とし、加速電圧を80keVとして行った。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。この場合、導電層117～121がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域123～127が形成される。第1の不純物領域123～127には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

#### 【0053】

なお、図9(B)と図1(B)は対応しており、同じ符号を用いている。図1(B)に示すように、画素部407では、第1の形状の導電層120と同時に、レジストからなるマスク302a～dを用いて第1の形状の導電層303～306を形成する。

#### 【0054】

次に、レジストからなるマスクを除去せずに図9(C)に示すように第2のエッチング処理を行う。第2のエッチング処理では第3及び第4のエッチング条件で行う。第3のエッチング条件として、同様にICPエッチング法を用い、エッチングガスに $\text{CF}_4$ と $\text{Cl}_2$ とを用い、それぞれのガス流量比を30/30(sccm)とし、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して約60秒程度のエッチングを行った。基板側(試料ステージ)には20WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べて低い自己バイアス電圧を印加する。 $\text{CF}_4$ と $\text{Cl}_2$ を混合した第3のエッチ

ング条件ではW膜及びTaN膜とも同程度にエッチングされる。

【0055】

この後、レジストからなるマスクを除去せずに第4のエッチング条件に変え、エッチング用ガスに $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ とを用い、それぞれのガス流量比を25/25/10 (sccm)とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して約20秒程度のエッチングを行った。基板側(試料ステージ)には20WのRF (13.56MHz) 電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。この第4のエッチング条件によりW膜をエッチングする。

【0056】

こうして、上記第3及び第4のエッチング条件によりW膜を異方性エッチングし、かつ、W膜より遅いエッチング速度でTaN膜を異方性エッチングして第2の形状の導電層129～134(第1の導電層129a～134aと第2の導電層129b～134b)を形成する。128はゲート絶縁膜であり、第2の形状の導電層129～134で覆われない領域は、エッチングされて、約10～20nm程度の膜厚にまで薄くなった。

【0057】

W膜やTaN膜に対する $\text{CF}_4$ と $\text{Cl}_2$ の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaNのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である $\text{WF}_6$ が極端に高く、その他の $\text{WCl}_5$ 、 $\text{TaF}_5$ 、 $\text{TaCl}_5$ は同程度である。従って、 $\text{CF}_4$ と $\text{Cl}_2$ の混合ガスではW膜及びTaN膜共にエッチングされる。しかし、この混合ガスに適量の $\text{O}_2$ を添加すると $\text{CF}_4$ と $\text{O}_2$ が反応して $\text{CO}$ と $\text{F}$ になり、 $\text{F}$ ラジカルまたは $\text{F}$ イオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaNは $\text{F}$ が増大しても相対的にエッチング速度の増加は少ない。また、TaNはWに比較して酸化されやすいので、 $\text{O}_2$ を添加することでTaNの表面が多少酸化される。TaNの酸化物はフッ素や塩素と反応しないため、さらにTaN膜のエッチング速度は低下する。従って、W膜とTaN膜とのエッチング速度に差を作ることが可能となりW膜

のエッチング速度をTaN膜よりも大きくすることが可能となる。

【0058】

なお、図9（C）と図1（C）は対応しており、同じ符号を用いている。図1（C）に示すように、画素部407では、第2の形状の導電層132と同時に、第2の形状の導電層307～310を形成する。

【0059】

次いで、レジストからなるマスクを除去した後、図10（A）に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120keV、本実施例では90keVの加速電圧とし、 $3.5 \times 10^{12} \text{ atoms/cm}^2$ のドーズ量で行い、図9（B）で形成された第1の不純物領域より内側の半導体層に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層129～133を不純物元素に対するマスクとして用い、第2の導電層129a～133aのテーパ部下方における半導体層にも不純物元素が添加されるようにドーピングする。

【0060】

こうして、第2の導電層129a～133aと重なる第3の不純物領域140～144と、第1の不純物領域145～149と第3の不純物領域との間の第2の不純物領域135～139とを形成する。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度となるようにし、第3の不純物領域で $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度となるようにする。なお、この第3の不純物領域140～144において、少なくとも第2の形状の導電層129a～133aと重なった部分に含まれるn型を付与する不純物元素の濃度変化を有している。即ち、第3の不純物領域140～144へ添加されるリン（P）の濃度は、第2の形状の導電層と重なる領域において、該導電層の端部から内側に向かって徐々に濃度が低くなる。これはテーパ部の膜厚の差によって、半導体層に達するリン（P）の濃度が変化するためである。

【0061】

なお、図10（A）と図2（A）は対応しており、同じ符号を用いている。図

2 (A) に示すように、画素部 4 0 7 では、第 3 の不純物領域 3 1 1 を形成する。

#### 【0062】

そして、新たにレジストからなるマスク 1 5 0 ~ 1 5 2 を形成して図 1 0 (B) に示すように、第 3 のドーピング処理を行う。この第 3 のドーピング処理により、p チャネル型 T F T の活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された第 4 の不純物領域 1 5 3 ~ 1 5 8 を形成する。第 2 の形状の導電層 1 3 0、1 3 3 を不純物元素に対するマスクとして用い、p 型を付与する不純物元素を添加して自己整合的に第 4 の不純物領域を形成する。本実施例では、不純物領域 1 5 3 ~ 1 5 8 はジボラン ( $B_2H_6$ ) を用いたイオンドーブ法で形成する。この第 3 のドーピング処理の際には、n チャネル型 T F T を形成する半導体層はレジストからなるマスク 1 5 0 ~ 1 5 2 で覆われている。第 1 のドーピング処理及び第 2 のドーピング処理によって、不純物領域 1 5 3 ~ 1 5 8 にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においても p 型を付与する不純物元素の濃度を  $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$  となるようにドーピング処理することにより、p チャネル型 T F T のソース領域およびドレイン領域として機能するために何ら問題は生じない。

#### 【0063】

なお、図 1 0 (B) と図 2 (B) は対応しており、同じ符号を用いている。図 2 (B) に示すように、画素部 4 0 7 では、半導体層 3 0 1 a ~ d の領域もレジストからなるマスク 1 5 2 で覆われているが、特に限定されず、少なくとも画素 T F T (n チャネル型 T F T) の半導体層を覆えばよい。

#### 【0064】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。半導体層と重なる第 2 の形状の導電層 1 2 9 ~ 1 3 2 がゲート電極として機能する。また、1 3 4 はソース配線、1 3 3 は保持容量を形成するための第 2 の電極として機能する。

#### 【0065】

次いで、レジストからなるマスク 1 5 0 ~ 1 5 2 を除去し、全面を覆う第 1 の

層間絶縁膜 1 5 9 を形成する。この第 1 の層間絶縁膜 1 5 9 としては、プラズマ CVD 法またはスパッタ法を用い、厚さを 1 0 0 ~ 2 0 0 n m としてシリコンを含む絶縁膜で形成する。本実施例では、プラズマ CVD 法により膜厚 1 5 0 n m の酸化窒化シリコン膜を形成した。勿論、第 1 の層間絶縁膜 1 5 9 は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

#### 【 0 0 6 6 】

次いで、図 6 (C) に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が 1 p p m 以下、好ましくは 0 . 1 p p m 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 °C、代表的には 5 0 0 ~ 5 5 0 °C で行えばよく、本実施例では 5 5 0 °C、4 時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法 (R T A 法) を適用することができる。

#### 【 0 0 6 7 】

なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域 1 4 5 ~ 1 4 9、1 5 3、1 5 6 にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有する T F T はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。

#### 【 0 0 6 8 】

また、第 1 の層間絶縁膜 1 5 9 を形成する前に活性化処理を行っても良い。ただし、1 2 9 ~ 1 3 4 に用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜 (シリコンを主成分とする絶縁膜、例えば窒化珪素膜) を形成した後で活性化処理を行うことが好ましい。

#### 【 0 0 6 9 】

さらに、3 ~ 1 0 0 % の水素を含む雰囲気中で、3 0 0 ~ 5 5 0 °C で 1 ~ 1 2 時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約

3%の含む窒素雰囲気中で410℃、1時間の熱処理を行った。この工程は層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

#### 【0070】

また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

#### 【0071】

次いで、第1の層間絶縁膜159上に有機絶縁物材料から成る第2の層間絶縁膜160を形成する。本実施例では膜厚1.6μmのアクリル樹脂膜を形成した。次いで、ソース配線134に達するコンタクトホールと各不純物領域145、147、148、153、156に達するコンタクトホールを形成するためのパターンニングを行う。

#### 【0072】

そして、駆動回路406において、第1の不純物領域または第4の不純物領域とそれぞれ電氣的に接続する配線161～166を形成する。なお、これらの配線は、膜厚50nmのTi膜と、膜厚500nmの合金膜（AlとTiとの合金膜）との積層膜をパターンニングして形成する。

#### 【0073】

また、画素部407においては、画素電極169、ゲート配線168、接続電極167を形成する。（図11）この接続電極167によりソース配線134は、画素TF-T404と電氣的な接続が形成される。また、ゲート配線168は、第1の電極（第2の形状の導電層133）と電氣的な接続が形成される。また、画素電極169は、画素TF-Tのドレイン領域と電氣的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層と電氣的な接続が形成される。また、画素電極169としては、AlまたはAgを主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。

#### 【0074】

なお、図 1 1 と図 3 は対応しており、同じ符号を用いている。図 3 に示すように、画素部 4 0 7 では、凸部 7 0 1、凸部 7 0 2 により表面に凸凹を有する画素電極 1 6 9 を形成することができた。画素電極 1 6 9 の表面に形成された凸凹の凸部における曲率半径は、 $0.1 \sim 4 \mu\text{m}$ 、好ましくは  $0.2 \sim 2 \mu\text{m}$  とする。

#### 【0075】

以上の様にして、n チャンネル型 T F T 4 0 1、p チャンネル型 T F T 4 0 2、n チャンネル型 T F T 4 0 3 を有する駆動回路 4 0 6 と、画素 T F T 4 0 4、保持容量 4 0 5 とを有する画素部 4 0 7 を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

#### 【0076】

駆動回路 4 0 6 の n チャンネル型 T F T 4 0 1 はチャンネル形成領域 1 7 0、ゲート電極を形成する第 2 の形状の導電層 1 2 9 と重なる第 3 の不純物領域 1 4 0 (G O L D 領域)、ゲート電極の外側に形成される第 2 の不純物領域 1 3 5 (L D D 領域) とソース領域またはドレイン領域として機能する第 1 の不純物領域 1 4 5 を有している。p チャンネル型 T F T 4 0 2 にはチャンネル形成領域 1 7 1、ゲート電極を形成する第 2 の形状の導電層 1 3 0 と重なる第 4 の不純物領域 1 5 5、ゲート電極の外側に形成される第 4 の不純物領域 1 5 4、ソース領域またはドレイン領域として機能する第 4 の不純物領域 1 5 3 を有している。n チャンネル型 T F T 4 0 3 にはチャンネル形成領域 1 7 2、ゲート電極を形成する第 2 の形状の導電層 1 3 1 と重なる第 3 の不純物領域 1 4 2 (G O L D 領域)、ゲート電極の外側に形成される第 2 の不純物領域 1 3 7 (L D D 領域) とソース領域またはドレイン領域として機能する第 1 の不純物領域 1 4 7 を有している。

#### 【0077】

画素部の画素 T F T 4 0 4 にはチャンネル形成領域 1 7 3、ゲート電極を形成する第 2 の形状の導電層 1 3 2 と重なる第 3 の不純物領域 1 4 3 (G O L D 領域)、ゲート電極の外側に形成される第 2 の不純物領域 1 3 8 (L D D 領域) とソース領域またはドレイン領域として機能する第 1 の不純物領域 1 4 8 を有している。また、保持容量 4 0 5 の一方の電極として機能する半導体層 1 5 6 ~ 1 5 9 には第 4 の不純物領域と同じ濃度で、それぞれ p 型を付与する不純物元素が添加さ



れている。保持容量 4 0 5 は、絶縁膜（ゲート絶縁膜と同一膜）を誘電体として、第 2 の電極 1 3 3 と、半導体層 1 5 6 ～ 1 5 9 とで形成している。

#### 【 0 0 7 8 】

また、本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置形成する。

#### 【 0 0 7 9 】

本実施例で作製するアクティブマトリクス基板の画素部の上面図を図 5 に示す。なお、図 9 ～ 図 1 1 に対応する部分には同じ符号を用いている。図 1 1 中の鎖線 A - A' は図 5 中の鎖線 A - A' で切断した断面図に対応している。また、図 1 1 中の鎖線 B - B' は図 5 中の鎖線 B - B' で切断した断面図に対応している。

#### 【 0 0 8 0 】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトリソマスクの数を 5 枚（半導体層パターンマスク、第 1 配線パターンマスク（第 1 の電極 1 3 2、第 2 の電極 1 3 3、ソース配線 1 3 4 を含む）、p 型 TFT のソース領域及びドレイン領域形成のパターンマスク、コンタクトホール形成のパターンマスク、第 2 配線パターンマスク（画素電極 1 6 9、接続電極 1 6 7、ゲート配線 1 6 8 を含む））とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

#### 【 0 0 8 1 】

##### [ 実施例 2 ]

本実施例では、実施例 1 で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図 4 を用いる。

#### 【 0 0 8 2 】

まず、実施例 1 に従い、図 3 の状態のアクティブマトリクス基板を得た後、図 4 のアクティブマトリクス基板上に配向膜 4 0 8 を形成しラビング処理を行う。なお、本実施例では配向膜 4 0 8 を形成する前に、アクリル樹脂膜等の有機樹脂

膜をパターニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

#### 【 0 0 8 3 】

次いで、対向基板 4 1 0 を用意する。実施例 1 に従い、対向基板 4 1 0 上に着色層 4 1 1、4 1 2、平坦化膜 4 1 3 を形成する。赤色の着色層 4 1 1 と青色の着色層 4 1 2 とを一部重ねて、第 2 遮光部を形成する。なお、図 4 では図示しないが、赤色の着色層と緑色の着色層とを一部重ねて、第 1 遮光部を形成する。

#### 【 0 0 8 4 】

次いで、対向電極 4 1 4 を画素部に形成し、対向基板の全面に配向膜 4 1 5 を形成し、ラビング処理を施した。

#### 【 0 0 8 5 】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤で貼り合わせる。シール剤にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 4 0 9 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料 4 0 9 には公知の液晶材料を用いれば良い。このようにして図 4 に示すアクティブマトリクス型液晶表示装置が完成する。

#### 【 0 0 8 6 】

本実施例では、実施例 1 に示す基板を用いている。従って、実施例 1 の画素部の上面図を示す図 5 では、少なくともゲート配線 1 6 8 と画素電極 1 6 9、1 7 7 の間隙と、ゲート配線 1 6 8 と接続電極 1 6 7 の間隙と、接続電極 1 6 7 と画素電極 1 6 9 の間隙を遮光する必要がある。本実施例では、それらの遮光すべき位置に第 1 遮光部と第 2 遮光部が重なるように対向基板を貼り合わせた。

#### 【 0 0 8 7 】

なお、図 1 2 に完成した液晶表示装置の画素部の一部を示す簡略図を示す。図 1 2 では、鎖線で示した画素電極 1 6 7 上に着色層（B）1 2 が重なるように形成されている。また、画素電極 1 6 7 と隣り合う画素電極 1 7 5 との間は、第 2 遮光部 1 6 で遮光されている。この第 2 遮光部 1 6 は着色層（B）と着色層（R

）とを重ねて形成されている。また、この第2遮光部16は隣りの画素（R）の画素TF Tも遮光している。また、点線で示したソース配線137上には着色層（B）12の端部と着色層（G）11の端部とが形成されている。また、第1遮光部15は着色層（G）と着色層（R）とを重ねて形成されている。また、図12では、ソース配線と重なる着色層（B）の端部と着色層（G）の端部とが接するようにパターニングを行った。また、同様にソース配線と重なる着色層（R）の端部と着色層（G）の端部とが接するようにパターニングを行った。

## 【0088】

このように、ブラックマスクを形成することなく、各画素間の隙間を第1遮光部15もしくは第2遮光部16で遮光することによって工程数の低減を可能とした。

## 【0089】

## [実施例3]

実施例2を用いて得られたアクティブマトリクス型液晶表示装置（図4）の構成を図7の上面図を用いて説明する。なお、図4と対応する部分には同じ符号を用いた。

## 【0090】

図7で示す上面図は、画素部、駆動回路、FPC（フレキシブルプリント配線板：Flexible Printed Circuit）を貼り付ける外部入力端子203、外部入力端子と各回路の入力部までを接続する配線204などが形成されたアクティブマトリクス基板201と、着色層などが形成された対向基板202とがシール材200を介して貼り合わされている。

## 【0091】

ゲート配線側駆動回路205とソース配線側駆動回路206の上面には対向基板側に赤色の着色層と青色の着色層を積層させた遮光部207が形成されている。また、画素部407上の対向基板側に形成された着色層208は赤色（R）、緑色（G）、青色（B）の各色の着色層が各画素に対応して設けられている。実際の表示に際しては、赤色（R）の着色層、緑色（G）の着色層、青色（B）の着色層の3色でカラー表示を形成するが、これら各色の着色層の配列は任意なも

のとする。

【 0 0 9 2 】

また、図 8 (A) は、図 7 で示す外部入力端子 2 0 3 の E - E' 線に対する断面図を示している。外部入力端子はアクティブマトリクス基板側に形成され、層間容量や配線抵抗を低減し、断線による不良を防止するために画素電極と同じ層で形成される配線 2 0 9 によって層間絶縁膜 2 1 0 を介してゲート配線と同じ層で形成される配線 2 1 1 と接続する。

【 0 0 9 3 】

また、外部入力端子にはベースフィルム 2 1 2 と配線 2 1 3 から成る F P C が異方性導電性樹脂 2 1 4 で貼り合わされている。さらに補強板 2 1 5 で機械的強度を高めている。

【 0 0 9 4 】

図 8 (B) は、その詳細図を示し、図 8 (A) で示す外部入力端子の断面図を示している。アクティブマトリクス基板側に設けられる外部入力端子が第 1 の電極及びソース配線と同じ層で形成される配線 2 1 1 と、画素電極と同じ層で形成される配線 2 0 9 とから形成されている。勿論、これは端子部の構成を示す一例であり、どちらか一方の配線のみで形成しても良い。例えば、第 1 の電極及びソース配線と同じ層で形成される配線 2 1 1 で形成する場合にはその上に形成されている層間絶縁膜を除去する必要がある。画素電極と同じ層で形成される配線 2 0 9 は、Ti 膜 2 0 9 a、合金膜 (Al と Ti との合金膜) 2 0 9 b の 2 層構造で形成されている。F P C はベースフィルム 2 1 2 と配線 2 1 3 から形成され、この配線 2 1 3 と画素電極と同じ層で形成される配線 2 0 9 とは、熱硬化型の接着剤 2 1 4 とその中に分散している導電性粒子 2 1 6 とから成る異方性導電性接着剤で貼り合わされ、電気的な接続構造を形成している。

【 0 0 9 5 】

以上のようにして作製されるアクティブマトリクス型の液晶表示装置は各種電子機器の表示部として用いることができる。

【 0 0 9 6 】

[実施例 4]

本実施例では、実施例 2 に示した例、即ち対向基板に設けられた着色層の配置（図 1 2）を詳細に示す。

【0 0 9 7】

図 1 3（A）は、適宜、3 色の着色層 1 1 ～ 1 3 を形成して、第 1 の遮光部 1 5、第 2 の遮光部 1 6、及び画素開口部 1 7 ～ 1 9 を構成した一例を示している。一般に、着色層は顔料を分散した有機感光材料からなるカラーレジストを用いて形成される。

【0 0 9 8】

第 1 の遮光部 1 5 及び第 2 の遮光部 1 6 は、各画素の間隙を遮光するように形成する。従って、入射光は第 1 の遮光部 1 5 及び第 2 の遮光部 1 6 により吸収され観察者には、ほぼ黒色として認識される。また、第 1 の遮光部 1 5 及び第 2 の遮光部 1 6 は、素子基板の画素 T F T（ここでは図示しない）と重なるよう形成され、画素 T F T を外部の光から保護する役目を果たしている。

【0 0 9 9】

第 1 の遮光部 1 5 は、緑色の着色層 1 1 と赤色の着色層 1 3 とを積層して形成する。赤色の着色層 1 3 は、格子状にパターンニングする。なお、緑色の着色層 1 1 は、従来と同じ形状（ストライプ状）にパターンニングする。

【0 1 0 0】

また、第 2 の遮光部 1 6 は、青色の着色層 1 2 と赤色の着色層 1 3 とを積層して形成する。なお、青色の着色層 1 2 は、隣り合う赤色の着色層 1 3 と一部重なるような形状にパターンニングしている。

【0 1 0 1】

なお、図 1 3（B）は、図 1 3（A）中における第 1 の遮光部及び第 2 の遮光部を鎖線（A 1 - A 1'）で切断した断面構造を示している。図 1 3（B）に示すように、対向基板 1 0 上の着色層 1 1、1 2 を覆って着色層 1 3 が積層されており、さらに、平坦化膜 1 4 で着色層 1 3 を覆っている。

【0 1 0 2】

また、緑色の着色層 1 1 と赤色の着色層 1 3 との積層膜（第 1 の遮光部 1 5）、青色の着色層 1 2 と赤色の着色層 1 3 とを積層膜（第 2 の遮光部 1 6）、緑色

の着色層と青色の着色層との積層膜について、それぞれの反射率を図 2 9 に示した。

#### 【0 1 0 3】

図 2 9 に示すように R + B + A 1 (第 2 の遮光部 1 6 に相当) は 4 0 0 ~ 4 5 0 n m の波長域で約 3 5 % の反射率となり、十分に遮光マスクとして機能する。また、R + G + A 1 (第 1 の遮光部 1 5 に相当) は 5 7 0 n m 付近で約 5 0 % の反射率を有しているものの十分に遮光マスクとして機能する。

#### 【0 1 0 4】

また、T F T の活性層を形成する非単結晶珪素膜は、5 0 0 n m の波長域の光を吸収しやすい傾向が見られる。この 5 0 0 n m の波長域において、上記第 1 の遮光部 1 5 及び第 2 の遮光部 1 6 は、反射率を 1 0 % 以下に抑えることができるため、光による T F T の劣化を抑えることができる。

#### 【0 1 0 5】

このように本実施例では 2 層の着色層からなる積層膜 (R + B あるいは R + G) で遮光マスクを形成することを特徴としている。結果として、ブラックマトリクスを形成する工程を省略することができ、工程数が低減した。

#### 【0 1 0 6】

なお、画素開口部においては、図 3 0 に示した従来例 (単層での反射率) と同様に、青色の着色層は 4 5 0 n m 付近で 9 0 % を越える反射率を示している。また、緑色の着色層は 5 3 0 n m 付近で 9 0 % を越える反射率を示している。また、赤色の着色層は 6 0 0 ~ 8 0 0 n m で 9 0 % を越える反射率を示している。

#### 【0 1 0 7】

ただし、図 1 3 (B) に示した断面図は一例であって、特に限定されず、例えば、最初に着色層 (R) を形成した後、着色層 (B) と着色層 (G) を積層しても良いし、最初に着色層 (G) を形成した後、着色層 (R) を形成し、次いで着色層 (B) を積層しても良いし、最初に着色層 (B) を形成した後、着色層 (R) を形成し、次いで着色層 (G) を積層しても良い。

#### 【0 1 0 8】

また、画素電極間における配線と画素電極と着色層との位置関係を図 1 4 に示

す。図 1 4 (A) は、画素電極 5 1 と画素電極 5 2 との間を遮光するように、ソース配線 5 0 上方で着色層 (B) 5 8 と着色層 (R) 5 9 との端面が接しており、その接面がソース配線上に存在している例を示した。なお、図 1 4 (A) 中において 5 3、5 5 は配向膜、5 4 は液晶、5 6 は対向基板、5 7 は平坦化膜である。

#### 【0 1 0 9】

なお、図 1 4 (A) に示した例に限定されることなく、着色層のパターニング時のずれを考慮して図 1 4 (B) や図 1 4 (C) に示すような構造としてもよい。図 1 4 (B) は、画素電極 6 1 と画素電極 6 2 との間を遮光するように、ソース配線 6 0 上方で着色層 (B) 6 8 の端部と一部が重なるように着色層 (R) 6 9 を形成している例である。また、図 1 4 (C) は、画素電極 7 1 と画素電極 7 2 との間を遮光するように、ソース配線 7 0 上方で着色層 (B) 7 8 と着色層 (R) 7 9 とが互いに接しないよう形成している例である。

#### 【0 1 1 0】

##### [実施例 5]

本実施例では実施例 1 とは異なるアクティブマトリクス基板の作製方法について図 1 5 ～ 1 7 を用いて説明する。実施例 1 では自己整合的に n 型を付与する不純物元素を添加して不純物領域を形成したが、本実施例ではマスク数を 1 枚増やして n チャネル型 T F T のソース領域またはドレイン領域を形成することを特徴としている。

#### 【0 1 1 1】

なお、その他の構成については実施例 1 において既に述べているので、詳しい構成については実施例 1 を参照し、ここでは説明を省略する。

#### 【0 1 1 2】

まず、実施例 1 に従って図 9 (A) と同じ状態を得る。図 9 (A) に対応する図面が図 1 5 (A) であり、同一の符号を用いた。なお、図 1 5 (A) と図 1 8 (A) は対応しており、同じ符号を用いている。図 1 8 (A) に示すように、画素部 8 0 3 では、半導体層 1 0 5 と同時に半導体層 6 0 0 a、6 0 0 b を形成する。

## 【 0 1 1 3 】

次いで、フォトリソグラフィ法を用いてレジストからなるマスク 6 0 1 ~ 6 0 7 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。本実施例では I C P エッチング法を用い、エッチング用ガスに  $C F_4$  と  $C l_2$  とを用い、1 Pa の圧力でコイル型の電極に 5 0 0 W の R F (13.56 MHz) 電力を投入してプラズマを生成してエッチングを行った。基板側 (試料ステージ) にも 2 0 W の R F (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 $C F_4$  と  $C l_2$  を混合したエッチング条件では W 膜及び T a N 膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、1 0 ~ 2 0 % 程度の割合でエッチング時間を増加させると良い。

## 【 0 1 1 4 】

上記第 1 のエッチング処理により、基板側に印加するバイアス電圧の効果により第 1 の導電層及び第 2 の導電層の端部がテーパ形状となる。このテーパ部の角度は 1 5 ~ 4 5 ° となる。こうして W 膜及び T a N 膜をエッチングして、第 1 の形状の導電層 6 0 8 ~ 6 1 3 (第 1 の導電層 6 0 8 a ~ 6 1 3 a と第 2 の導電層 6 0 8 b ~ 6 1 3 b) を形成する。6 1 4 はゲート絶縁膜であり、第 1 の形状の導電層 6 0 8 ~ 6 1 3 で覆われない領域は 2 0 ~ 5 0 nm 程度エッチングされ薄くなった領域が形成される。(図 1 5 (B))

## 【 0 1 1 5 】

なお、図 1 5 (B) と図 1 8 (B) は対応しており、同じ符号を用いている。図 1 8 (B) に示すように、画素部 8 0 3 では、第 1 の形状の導電層 6 1 1 と同時に、レジストからなるマスク 9 0 2 a ~ d を用いて第 1 の形状の導電層 9 0 3 ~ 9 0 6 を形成する。

## 【 0 1 1 6 】

次いで、レジストからなるマスク 6 0 1 ~ 6 0 7 を除去せずに第 2 のエッチング処理を行う。エッチング用ガスに  $C F_4$  と  $C l_2$  と  $O_2$  とを用い、1 Pa の圧力でコイル型の電極に 5 0 0 W の R F (13.56 MHz) 電力を投入してプラズマを生成してエッチングを行った。基板側 (試料ステージ) には 2 0 W の R F (13.56 MHz) 電力を投入し、第 1 のエッチング処理に比べ低い自己バイアス電圧を印加する。



このエッチング条件によりW膜をエッチングする。

【0117】

上記第2のエッチング処理によりW膜を異方性エッチングし、かつ、第1の導電層であるTa<sub>2</sub>N膜がW膜より遅いエッチング速度でわずかにエッチングされ、第2の形状の導電層615～620（第1の導電層615a～620aと第2の導電層615b～620b）を形成する。621はゲート絶縁膜であり、第2の形状の導電層615～620で覆われない領域は、エッチングされて薄くなった。

【0118】

次いで、第1のドーピング処理を行う。ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。この場合、高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いた。例えば、加速電圧を70～120keVとし、不純物領域（A）622～626を形成する。（図15（C））ドーピングは、第2の形状の導電層615～619を不純物元素に対するマスクとして用い、第2の導電層615a～619aのテーパー部下方における半導体層にも不純物元素が添加されるようにドーピングする。こうして、自己整合的に形成された不純物領域（A）622～626のうち、導電層615～619と重なる不純物領域が622a、623a、624a、625a、626aであり、導電層615～619と重ならない不純物領域が622b、623b、624b、625b、626bである。

【0119】

なお、図15（C）と図18（C）は対応しており、同じ符号を用いている。図18（C）に示すように、画素部803では、第2の形状の導電層618と同時に、第2の形状の導電層907～910を形成する。また、図18（C）に示すように、画素部803では、不純物領域（A）911が形成される。

【0120】

次いで、レジストからなるマスクを除去した後、導電層615～619をマス

クとして用い、ゲート絶縁膜 6 2 1 を選択的に除去して絶縁層 6 2 7 a、6 2 7 b、6 2 7 c を形成する。また、絶縁層 6 2 7 a、6 2 7 b、6 2 7 c を形成すると同時に第 2 の形状の導電層 6 1 5 ~ 6 1 9 の形成に使用したレジストマスクを除去してもよい。(図 1 5 (D))

#### 【0 1 2 1】

なお、図 1 5 (D) と図 1 8 (D) は対応しており、同じ符号を用いている。

#### 【0 1 2 2】

次いで、フォトリソグラフィ法を用いてレジストからなるマスク 6 2 8、6 2 9 を形成した後、第 2 のドーピング処理を行う。この場合、第 1 のドーピング処理よりもドーズ量を上げて低い加速電圧の条件として n 型を付与する不純物元素を半導体層にドーピングする。不純物領域 (B) 6 3 0 ~ 6 3 4 には  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  の濃度範囲で n 型を付与する不純物元素を添加する。(図 1 6 (A))

#### 【0 1 2 3】

なお、図 1 6 (A) と図 1 9 (A) は対応しており、同じ符号を用いている。

#### 【0 1 2 4】

こうして、n チャネル型 TFT のソース領域またはドレイン領域となる不純物領域 (B) 6 3 0、6 3 2、6 3 3 を形成することができた。また、画素部において、導電層 6 1 8 と重なる不純物領域 (A) 6 2 5 b と不純物領域 6 3 3 との間には、導電層 6 1 8 と重ならない領域 6 3 6 が形成される。この領域 6 3 6 は n チャネル型 TFT の LDD 領域として機能する。また、不純物領域 (B) 6 3 1、6 3 4 に添加された不純物元素は、後のゲッタリング工程で主にチャネル形成領域となる半導体層中のニッケル濃度を低減させるために添加する。

#### 【0 1 2 5】

そして、実施例 1 と同様にレジストからなるマスク 6 2 8、6 2 9 を除去した後、新たにレジストからなるマスク 6 3 7 ~ 6 3 9 を形成して、第 3 のドーピング処理を行う。(図 1 6 (B))

#### 【0 1 2 6】

なお、図 1 6 (B) と図 1 9 (B) は対応しており、同じ符号を用いている。

## 【 0 1 2 7 】

この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域(C) 640～644を形成する。第2の導電層616、619を不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域(C)を形成する。本実施例では、不純物領域(C) 640～644はジボラン( $B_2H_6$ )を用いたイオンドープ法で形成する。また、実施例1と同様に、不純物領域(C) 640～644にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

## 【 0 1 2 8 】

次いで、実施例1と同様にレジストからなるマスク637～639を除去し、全面を覆う第1の層間絶縁膜645を形成する。この第1の層間絶縁膜645としては、プラズマCVD法またはスパッタ法を用い、厚さを100～200nmとしてシリコンを含む絶縁膜で形成する。

## 【 0 1 2 9 】

次いで、図16(C)に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、窒素雰囲気中で400～700℃、代表的には500～550℃で行えばよい。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

## 【 0 1 3 0 】

なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域(B) 630～634にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下

り、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

#### 【0131】

なお、図16 (C) と図19 (C) は対応しており、同じ符号を用いている。

#### 【0132】

また、第1の層間絶縁膜635を形成する前に活性化処理を行っても良い。ただし、615～619に用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜（シリコンを主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で活性化処理を行うことが好ましい。

#### 【0133】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。半導体層と重なる第2の形状の導電層615～618がゲート電極として機能する。また、620はソース配線、619は保持容量を形成するための第2の電極として機能する。

#### 【0134】

さらに、3%の水素を含む窒素雰囲気中で、300～550℃で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。また、3～100%の水素を含む雰囲気中で熱処理を行ってもよい。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

#### 【0135】

また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

#### 【0136】

次いで、第1の層間絶縁膜645上に有機樹脂材料から成る第2の層間絶縁膜646を形成する。本実施例では有機樹脂材料を用いたが、特に限定されず、シリコンを含む絶縁膜（酸化窒化珪素膜、酸化珪素膜、窒化珪素膜等）を単層または積層構造として用いてもよい。次いで、ソース配線134に達するコンタクトホールと各不純物領域（B）及び（C）630、632、633、640、64

3に達するコンタクトホールを形成するためのパターニングを行う。

【0137】

そして、駆動回路において、不純物領域（B）または不純物領域（C）とそれぞれ電氣的に接続する配線647～652を形成する。なお、これらの配線は、膜厚50nmのTi膜と、膜厚500nmの合金膜（AlとTiとの合金膜）との積層膜をパターニングして形成する。

【0138】

また、画素部においては、画素電極656、ゲート配線654、接続電極653を形成する。（図17）この接続電極653によりソース配線620は、画素TFTと電氣的な接続が形成される。また、ゲート配線654は、第1の電極（第2の形状の導電層618）と電氣的な接続が形成される。また、画素電極656は、画素TFTのドレイン領域と電氣的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層643と電氣的な接続が形成される。

【0139】

以上の様にして、nチャネル型TFT、pチャネル型TFT、nチャネル型TFTを有する駆動回路と、画素TFT、保持容量とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上、アクティブマトリクス基板と呼ぶ。

【0140】

駆動回路のnチャネル型TFTの半導体層はチャネル形成領域、ゲート電極を形成する第2の形状の導電層615と重なる不純物領域（A）622b（GOLD領域）とソース領域またはドレイン領域として機能する不純物領域（B）630を有している。また、pチャネル型TFTの半導体層はチャネル形成領域、ゲート電極を形成する第2の形状の導電層616と重なる不純物領域（C）642、ソース領域またはドレイン領域として機能する不純物領域（C）640を有している。また、nチャネル型TFTの半導体層はチャネル形成領域、ゲート電極を形成する第2の形状の導電層617と重なる不純物領域（A）624b（GOLD領域）、ソース領域またはドレイン領域として機能する不純物領域（B）6

32を有している。

【0141】

画素部の画素TFTの半導体層はチャネル形成領域、ゲート電極を形成する第2の形状の導電層618と重なる不純物領域(A)625b(GOLD領域)、ゲート電極の外側に形成される不純物領域636(LDD領域)とソース領域またはドレイン領域として機能する不純物領域(B)633を有している。また、保持容量の一方の電極として機能する半導体層643、644には不純物領域(C)と同じ濃度で、それぞれp型を付与する不純物元素が添加されている。保持容量は、絶縁層627c(ゲート絶縁膜と同一膜)を誘電体として、第2の電極619と、半導体層643、644とで形成している。

【0142】

また、本実施例で作製したアクティブマトリクス基板を用いて実施例2の工程に従えば、図20に示す液晶表示装置が得られる。図20に示すように、画素部803に高さの異なる凸部900、901が形成された。凸部900、901は、マスク数を増やすことなく形成することができる。図20では、半導体層のパターニングの際、凸部901において半導体層を形成しないマスクを用いたため、凸部901の高さは凸部900よりも半導体層の膜厚分、低くなっている。

【0143】

こうすることにより、作製工程数を増やすことなく、画素電極の表面に形成される凹凸の高低差を大きくすることができ、さらに反射光を散乱させることができる。

【0144】

なお、本実施例は実施例1乃至4のいずれとも組み合わせることが可能である。

【0145】

[実施例6]

本実施例では実施例1とは異なるアクティブマトリクス基板の作製方法について図21、図22を用いて説明する。実施例1とは、ゲート電極の作製方法とドーピング順序等が異なっているが、活性化処理以降の工程は同一である。

## 【 0 1 4 6 】

まず、実施例 1 に従って、第 1 のエッチング処理を行った後、第 1 のドーピング処理を行って、図 9 ( B ) の状態を得る。図 2 1 ( A ) は、図 9 ( B ) と同一であり、同じ符号を用いている。

## 【 0 1 4 7 】

次いで、レジストからなるマスクを除去せずに第 2 のエッチング処理を行う。エッチングガスに  $\text{CF}_4$  と  $\text{Cl}_2$  と  $\text{O}_2$  とを用い、W 膜を選択的にエッチングする。この時、第 2 のエッチング処理により第 2 の導電層 7 0 1 b ~ 7 0 6 b を形成する。一方、第 1 の導電層 1 1 7 a ~ 1 2 2 a は、ほとんどエッチングされず、第 1 の導電層 7 0 1 a ~ 7 0 6 a を形成する。次いで、第 2 のドーピング処理を行って図 2 1 ( B ) の状態を得る。ドーピングは第 1 の導電層 7 0 1 a ~ 7 0 6 a を不純物元素に対するマスクとして用い、第 2 の導電層のテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。こうして、第 2 の導電層と重なる不純物領域 7 0 7 ~ 7 1 1 を形成する。この不純物領域へ添加されたリン ( P ) の濃度は、第 2 の導電層のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第 2 の導電層のテーパ部と重なる半導体層において、第 2 の導電層のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。また、第 1 の不純物領域 1 2 3 ~ 1 2 7 にも不純物元素が添加され、不純物領域 7 1 2 ~ 7 1 6 を形成する。

## 【 0 1 4 8 】

次いで、レジストからなるマスクを除去せずに第 3 のエッチング処理を行う。この第 3 のエッチング処理では第 2 の導電層のテーパ部を部分的にエッチングして、半導体層と重なる領域を縮小するために行われる。第 3 のエッチングは、エッチングガスに  $\text{CHF}_3$  を用い、反応性イオンエッチング法 ( R I E 法 ) を用いて行う。第 3 のエッチングにより、第 2 の導電層 7 1 7 ~ 7 2 2 が形成される。この時、同時に絶縁膜 1 1 6 もエッチングされて、絶縁膜 7 2 3 が形成される。

## 【 0 1 4 9 】

上記第 3 のエッチングによって、第 2 の導電層 7 1 7 ~ 7 2 2 と重ならない不

純物領域（LDD領域）707a～711aが形成される。なお、不純物領域（GOLD領域）707b～711bは、第2の導電層717～721と重なったままである。

#### 【0150】

このようにすることで、本実施例は、実施例1と比較して、第2の導電層717～721と重なる不純物領域（GOLD領域）707b～711bにおける不純物濃度と、第2の導電層717～721と重ならない不純物領域（LDD領域）707a～711aにおける不純物濃度との差を小さくすることができ、信頼性を向上させることができる。

#### 【0151】

次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク724～726を形成して第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域727～732を形成する。第1の導電層701b～705bを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。本実施例では、不純物領域727～732はジボラン（ $B_2H_6$ ）を用いたイオンドーピング法で形成する。この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク724～726で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域727～732にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。本実施例では、pチャネル型TFTの活性層となる半導体層の一部が露呈しているため、実施例1とよりも不純物元素（ボロン）を添加しやすい利点を有している。

#### 【0152】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。

#### 【0153】



次いで、レジストからなるマスク 7 2 4 ~ 7 2 6 を除去して第 1 の層間絶縁膜 7 3 3 を形成する。この第 1 の層間絶縁膜 7 3 3 としては、プラズマ C V D 法またはスパッタ法を用い、厚さを 1 0 0 ~ 2 0 0 n m としシリコンを含む絶縁膜で形成する。本実施例では、プラズマ C V D 法により膜厚 1 5 0 n m の酸化窒化シリコン膜を形成した。勿論、第 1 の層間絶縁膜 7 3 3 は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

#### 【 0 1 5 4 】

次いで、図 2 2 ( B ) に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーンズアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が 1 p p m 以下、好ましくは 0 . 1 p p m 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 ° C 、代表的には 5 0 0 ~ 5 5 0 ° C で行えばよく、本実施例では 5 5 0 ° C 、4 時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法 ( R T A 法 ) を適用することができる。

#### 【 0 1 5 5 】

なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域 7 1 2 ~ 7 1 6 、 7 2 7 、 7 3 0 にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有する T F T はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

#### 【 0 1 5 6 】

また、第 1 の層間絶縁膜を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜 ( シリコンを主成分とする絶縁膜、例えば窒化珪素膜 ) を形成した後で活性化処理を行うことが好ましい。

#### 【 0 1 5 7 】

さらに、 3 ~ 1 0 0 % の水素を含む雰囲気中で、 3 0 0 ~ 5 5 0 ° C で 1 ~ 1 2

時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約 3 % の含む窒素雰囲気中で 4 1 0 °C、1 時間の熱処理を行った。この工程は層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

## 【 0 1 5 8 】

また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーや Y A G レーザー等のレーザー光を照射することが望ましい。

## 【 0 1 5 9 】

以降の工程は実施例 1 とほぼ同一であり、実施例 1 に従って、第 2 の層間絶縁膜、各半導体層に接続される配線等を形成し、図 2 2 (C) の状態を得ることができる。

## 【 0 1 6 0 】

また、本実施例で作製したアクティブマトリクス基板を用いて実施例 2 の工程に従えば、液晶表示装置が得られる。

## 【 0 1 6 1 】

なお、図 2 1、図 2 2 では駆動回路と画素部の T F T 及び保持容量の形成についての作製工程であるが、マスクを適宜変更すれば、実施例 1 に示したように画素部に凸部を形成し、画素電極の表面に凸凹を形成することができる。

## 【 0 1 6 2 】

なお、本実施例は実施例 1 乃至 4 のいずれとも組み合わせることが可能である。

## 【 0 1 6 3 】

## [ 実施例 7 ]

実施例 1、実施例 5、実施例 6 ではトップゲート型の T F T 作製と同時に形成される凸部を用いた画素電極の作製例を示したが、本実施例では図 2 3、図 2 4 を用いて、逆スタガ型の T F T 作製と同時に形成される凸部を用いた画素電極の作製例について示す。

## 【 0 1 6 4 】

まず、第 1 のマスク（フォトマスク 1 枚目）でゲート配線 1 0 0 0 を形成する。この時、表示領域となる領域にゲート配線と同じ材料で金属層 1 0 0 1 を形成する。

## 【 0 1 6 5 】

次いで、ゲート配線 1 0 0 0 及び金属層 1 0 0 1 を覆って、絶縁膜（ゲート絶縁膜） 1 0 0 2、第 1 の非晶質半導体膜、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜、及び第 1 の導電膜を順次、積層形成する。なお、非晶質半導体膜に代えて微結晶半導体膜を用いてもよいし、n 型を付与する不純物元素を含む非晶質半導体膜に代えて n 型を付与する不純物元素を含む微結晶半導体膜を用いてもよい。さらに、これらの膜はスパッタ法やプラズマ C V D 法を用いて複数のチャンバー内または同一チャンバー内で連続的に大気に曝すことなく形成することができる。大気に曝さないようにすることで不純物の混入を防止できる。

## 【 0 1 6 6 】

次いで、第 2 のマスク（フォトマスク 2 枚目）で上記第 1 の導電膜をパターニングして第 1 の導電膜からなる配線（後にソース配線及び電極（ドレイン電極）となる）を形成し、上記第 2 の非晶質半導体膜をパターニングして n 型を付与する不純物元素を含む第 2 の非晶質半導体膜を形成し、上記第 1 の非晶質半導体膜をパターニングして第 1 の非晶質半導体膜を形成する。また、金属層 1 0 0 1 上にも同様にして、第 1 の非晶質半導体膜と n 型を付与する不純物元素を含む第 2 の非晶質半導体膜と上記第 1 の導電膜とを残すようにパターニングする。このパターニングでは、後に形成される第 2 の導電膜のカバレッジを良好なものとするため、図 2 3 に示すように端部が階段状になるようなエッチングとした。

## 【 0 1 6 7 】

また、金属層 1 0 0 1 及びその上に形成される積層物（凸部）の形状は特に限定されず、径方向の断面が多角形であってもよいし、左右対称でない形状であってもよい。例えば、図 6（A）～（G）で示された形状のうち、いずれのものでもよい。また、金属層 1 0 0 1 及びその上に形成される積層物（凸部）を規則的に配置しても不規則に配置してもよい。また、金属層 1 0 0 1 及びその上に形成

される積層物（凸部）の高さは0.3～3  $\mu\text{m}$ 、好ましくは0.5～1.5  $\mu\text{m}$ である。

【0168】

次いで、端子部において、シャドーマスクを用いてレジストマスクを形成し、端子部のパッド部分を覆っている絶縁膜1002を選択的に除去した後、レジストマスクを除去する。また、シャドーマスクに代えてスクリーン印刷法によりレジストマスクを形成してエッチングマスクとしてもよい。

【0169】

その後、全面に第2の導電膜を成膜する。なお、第2の導電膜としては、反射性を有する導電膜、例えばAlまたはAgからなる材料膜を用いる。

【0170】

次いで、第3のマスク（フォトマスク3枚目）で上記第2の導電膜をパターニングして第2の導電膜からなる画素電極1004を形成し、上記配線をパターニングしてソース配線1003及び電極（ドレイン電極）1009を形成し、n型を付与する不純物元素を含む第2の非晶質半導体膜をパターニングしてn型を付与する不純物元素を含む第2の非晶質半導体膜からなるソース領域1008及びドレイン領域1009を形成し、上記第1の非晶質半導体膜を一部除去して第1の非晶質半導体膜1006を形成する。

【0171】

次いで、配向膜1005を形成し、ラビング処理を行った。

【0172】

このような構成とすることで、画素TFT部を作製する際、フォトリソグラフィ技術で使用するフォトマスクの数を3枚とすることができる。

【0173】

加えて、このような構成とすることで、金属層1001上に形成された絶縁膜、第1の非晶質半導体膜、n型を付与する不純物元素を含む第2の非晶質半導体膜、及び第1の導電膜からなる積層物（凸部）により凸凹を有し、この凸凹を覆って画素電極1004が形成されるので、作製工程数を増やすことなく、画素電極1004の表面に凹凸を持たせて光散乱性を図ることができる。

## 【 0 1 7 4 】

次いで、実施例 2 に示した対向基板を用意する。図 2 3 において、1 0 1 0 は対向基板であり、実施例 2 に従い、対向基板 1 0 1 0 上に着色層 1 0 1 1、1 0 1 2、平坦化膜 1 0 1 3 を形成する。赤色の着色層 1 0 1 1 と青色の着色層 1 0 1 2 とを一部重ねて、第 2 遮光部を形成する。なお、図 2 3 では図示しないが、赤色の着色層と緑色の着色層とを一部重ねて、第 1 遮光部を形成する。

## 【 0 1 7 5 】

次いで、対向電極 1 0 1 4 を画素部に形成し、対向基板の全面に配向膜 1 0 1 5 を形成し、ラビング処理を施した。

## 【 0 1 7 6 】

また、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤で貼り合わせる。シール剤にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 1 0 1 6 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料 1 0 1 6 には公知の液晶材料を用いれば良い。このようにして図 2 3 に示すアクティブマトリクス型液晶表示装置が完成する。

## 【 0 1 7 7 】

図 2 4 はアクティブマトリクス基板の画素部と端子部の配置を説明する図である。基板 1 1 1 0 上には画素部 1 1 1 1 が設けられ、画素部にはゲート配線 1 1 0 8 とソース配線 1 1 0 7 が交差して形成され、これに接続する n チャネル型 TFT 1 1 0 1 が各画素に対応して設けられている。n チャネル型 TFT 1 1 0 1 のドレイン側には画素電極 1 0 0 4 及び保持容量 1 1 0 2 が接続し、保持容量 1 1 0 2 のもう一方の端子は容量配線 1 1 0 9 に接続している。n チャネル型 TFT 1 1 0 1 と保持容量 1 1 0 2 の構造は図 2 3 で示す n チャネル型 TFT または保持容量と同じものとする。

## 【 0 1 7 8 】

基板の一方の端部には、走査信号を入力する入力端子部 1 1 0 5 が形成され、接続配線 1 1 0 6 によってゲート配線 1 1 0 8 に接続している。また、他の端部には画像信号を入力する入力端子部 1 1 0 3 が形成され、接続配線 2 0 4 によ

てソース配線 1 1 0 7 に接続している。ゲート配線 1 1 0 8、ソース配線 1 1 0 7、容量配線 1 1 0 9 は画素密度に応じて複数本設けられるものである。また、画像信号を入力する入力端子部 1 1 1 2 と接続配線 1 1 1 3 を設け、入力端子部 1 1 0 3 と交互にソース配線と接続させても良い。入力端子部 1 1 0 3、1 1 0 5、1 1 1 2 はそれぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

## 【0 1 7 9】

なお、本実施例は実施例 2 または実施例 4 と組み合わせることができる。

## 【0 1 8 0】

## [実施例 8]

本実施例では、作製工程数を増やすことなく、表面に凸凹を有する画素電極を形成する例を示す。なお、簡略化のため、実施例 7 と異なる点についてのみ以下に説明する。なお、図 2 3 に対応する部分には同じ符号を用いた。

## 【0 1 8 1】

本実施例は、図 2 5 に示すように、高さの異なる凸部 1 2 0 1、1 2 0 2 を形成した例である。

## 【0 1 8 2】

凸部 1 2 0 1、1 2 0 2 は、マスク数を増やすことなく実施例 7 のマスクを変更することにより形成することができる。本実施例では、図 2 5 に示すように、ゲート電極のパターニングの際、凸部 1 2 0 2 において金属層を形成しないマスクを用いたため、凸部 1 2 0 2 の高さは凸部 1 2 0 1 よりも金属層の膜厚分、低くなっている。本実施例では実施例 7 で使用した金属層のパターニングで使用するマスクを変更し、高さの異なる 2 種類の凸部 1 2 0 1、1 2 0 2 を表示領域となる箇所にランダムに形成した。

## 【0 1 8 3】

こうすることにより、作製工程数を増やすことなく、画素電極 1 2 0 0 の表面に形成される凹凸の高低差を大きくすることができ、さらに反射光を散乱させることができる。

## 【0 1 8 4】

なお、本実施例は、実施例 2 または実施例 4 と組み合わせることができる。

【0185】

[実施例 9]

本実施例では、作製工程数を増やすことなく、表面に凸凹を有する画素電極を形成する例を示す。なお、簡略化のため、実施例 7 と異なる点についてのみ以下に説明する。

【0186】

本実施例は、図 26 に示すように、金属層 1301a、1301b を形成し、絶縁膜 1302 を形成した後、絶縁膜 1302 上に金属層 1301a、1301b とは異なるピッチで第 1 の非晶質半導体膜、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜、及び第 1 の導電膜からなる積層物 1303 を形成した例である。

【0187】

金属層 1301a、1301b は、マスク数を増やすことなく実施例 7 のマスクを変更することにより形成することができる。実施例 7 のゲート電極 1300 形成時の第 1 のマスクを変更して金属層 1301a、1301b を形成する。さらに実施例 7 の第 2 のマスクを変更して、積層物 1303 を形成する。

【0188】

こうすることにより、作製工程数を増やすことなく、画素電極 1304 の表面に形成される凹凸の大きさを異ならせるとともに、配置をランダムにすることができる。さらに反射光を散乱させることができる。

【0189】

なお、本実施例は、実施例 2、実施例 4、実施例 7、または実施例 8 と組み合わせることができる。

【0190】

[実施例 10]

上記各実施例 1 乃至 9 のいずれかーを実施して形成された TFT は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 EC ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部

に組み込んだ電子機器全てに本願発明を実施できる。

【 0 1 9 1 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 2 7 及び図 2 8 に示す。

【 0 1 9 2 】

図 2 7 (A) はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明を表示部 2 0 0 3 に適用することができる。

【 0 1 9 3 】

図 2 7 (B) はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本発明を表示部 2 1 0 2 に適用することができる。

【 0 1 9 4 】

図 2 7 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 等を含む。本発明は表示部 2 2 0 5 に適用できる。

【 0 1 9 5 】

図 2 7 (D) はゴーグル型ディスプレイであり、本体 2 3 0 1、表示部 2 3 0 2、アーム部 2 3 0 3 等を含む。本発明は表示部 2 3 0 2 に適用することができる。

【 0 1 9 6 】

図 2 7 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2 4 0 1、表示部 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 等を含む。なお、このプレーヤーは記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。



本発明は表示部 2 4 0 2 に適用することができる。

【0 1 9 7】

図 2 7 (F) はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部（図示しない）等を含む。本願発明を表示部 2 5 0 2 に適用することができる。

【0 1 9 8】

図 2 8 (A) は携帯電話であり、本体 2 9 0 1、音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4、操作スイッチ 2 9 0 5、アンテナ 2 9 0 6 等を含む。本願発明を表示部 2 9 0 4 に適用することができる。

【0 1 9 9】

図 2 8 (B) は携帯書籍（電子書籍）であり、本体 3 0 0 1、表示部 3 0 0 2、3 0 0 3、記憶媒体 3 0 0 4、操作スイッチ 3 0 0 5、アンテナ 3 0 0 6 等を含む。本発明は表示部 3 0 0 2、3 0 0 3 に適用することができる。

【0 2 0 0】

図 2 8 (C) はディスプレイであり、本体 3 1 0 1、支持台 3 1 0 2、表示部 3 1 0 3 等を含む。本発明は表示部 3 1 0 3 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 1 0 インチ以上（特に 3 0 インチ以上）のディスプレイには有利である。

【0 2 0 1】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 9 のどのような組み合わせからなる構成を用いても実現することができる。

【0 2 0 2】

【発明の効果】

本発明により、工程数を増加することなく表面に凸凹を有する画素電極を形成することができる。

【図面の簡単な説明】

【図 1】 AM-LCD（画素部）の作製工程を示す図。

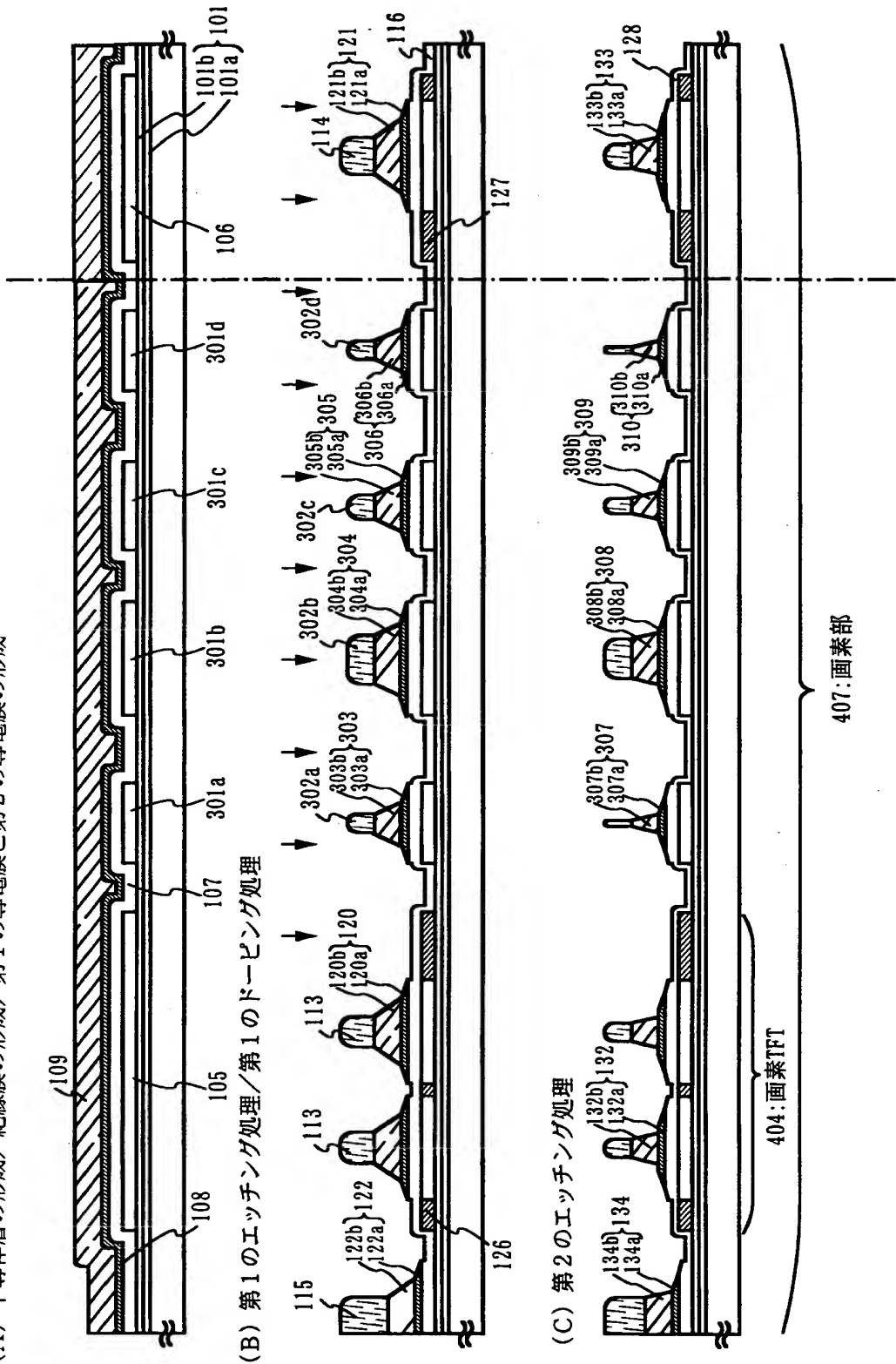
【図 2】 AM-LCD（画素部）の作製工程を示す図。

- 【図 3】 AM-LCD（画素部）の作製工程を示す図。
- 【図 4】 アクティブマトリクス型液晶表示装置の断面構造を示す図。
- 【図 5】 画素上面図を示す図。
- 【図 6】 凸部の上面形状を示す図。
- 【図 7】 AM-LCDの外観を示す図。
- 【図 8】 AM-LCDの端子部を示す図。
- 【図 9】 AM-LCDの作製工程を示す図。
- 【図 10】 AM-LCDの作製工程を示す図。
- 【図 11】 AM-LCDの作製工程を示す図。
- 【図 12】 着色層の配置の上面図を示す図。
- 【図 13】 着色層の配置の上面図及び断面図を示す図。
- 【図 14】 着色層の配置の断面図を示す図。
- 【図 15】 AM-LCDの作製工程を示す図。
- 【図 16】 AM-LCDの作製工程を示す図。
- 【図 17】 AM-LCDの作製工程を示す図。
- 【図 18】 AM-LCD（画素部）の作製工程を示す図。
- 【図 19】 AM-LCD（画素部）の作製工程を示す図。
- 【図 20】 アクティブマトリクス型液晶表示装置の断面構造を示す図。
- 【図 21】 AM-LCDの作製工程を示す図。
- 【図 22】 AM-LCDの作製工程を示す図。
- 【図 23】 アクティブマトリクス型液晶表示装置の断面構造図を示す図。
- 【図 24】 アクティブマトリクス基板の画素部と端子部の配置を説明する図。
- 【図 25】 アクティブマトリクス型液晶表示装置の断面構造図を示す図。
- 【図 26】 アクティブマトリクス型液晶表示装置の断面構造図を示す図。
- 【図 27】 電子機器の一例を示す図。
- 【図 28】 電子機器の一例を示す図。
- 【図 29】 積層した着色層の反射率を示す図。
- 【図 30】 着色層の単層での反射率を示す図。

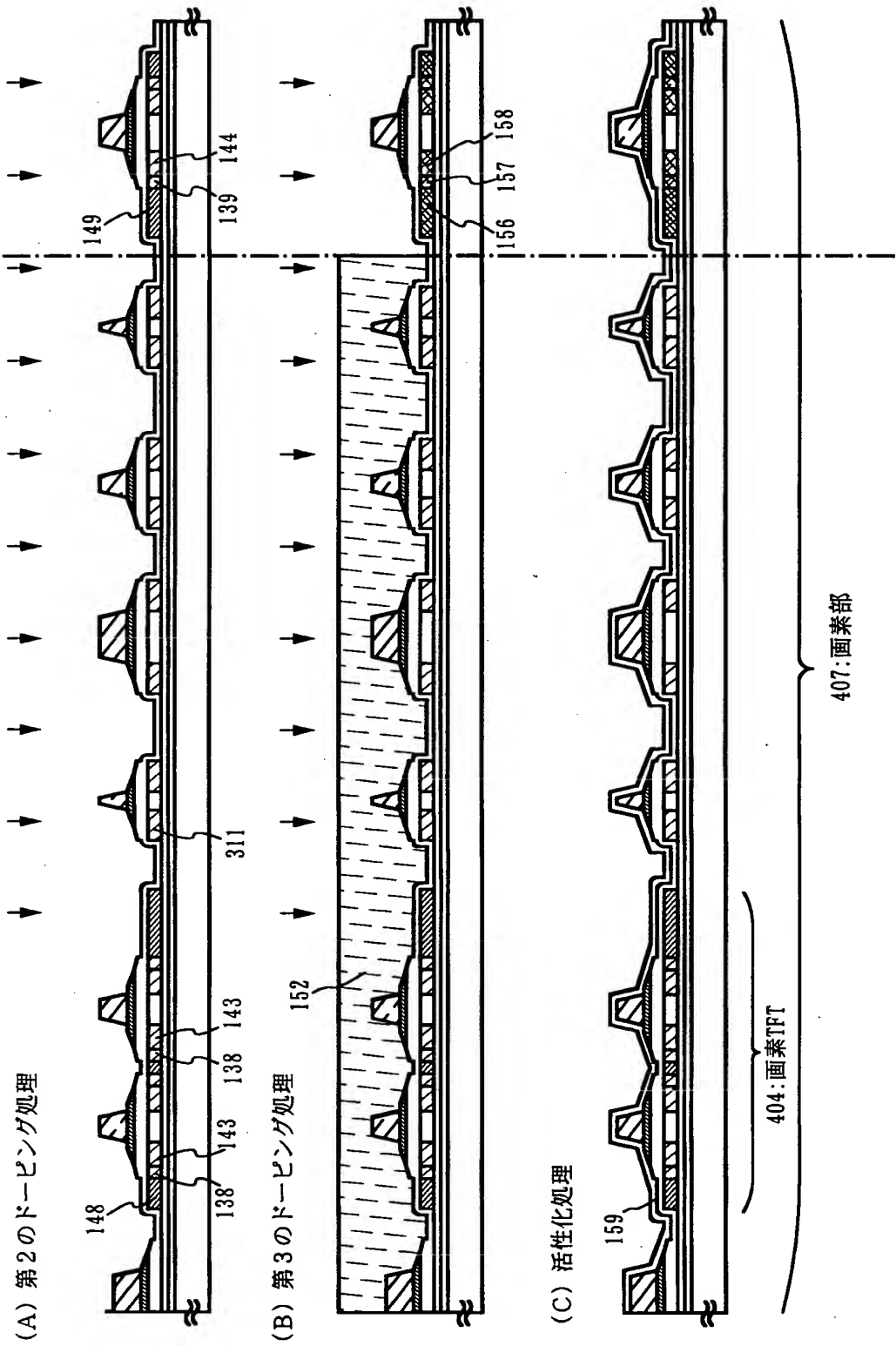
【書類名】 図面

【図 1】

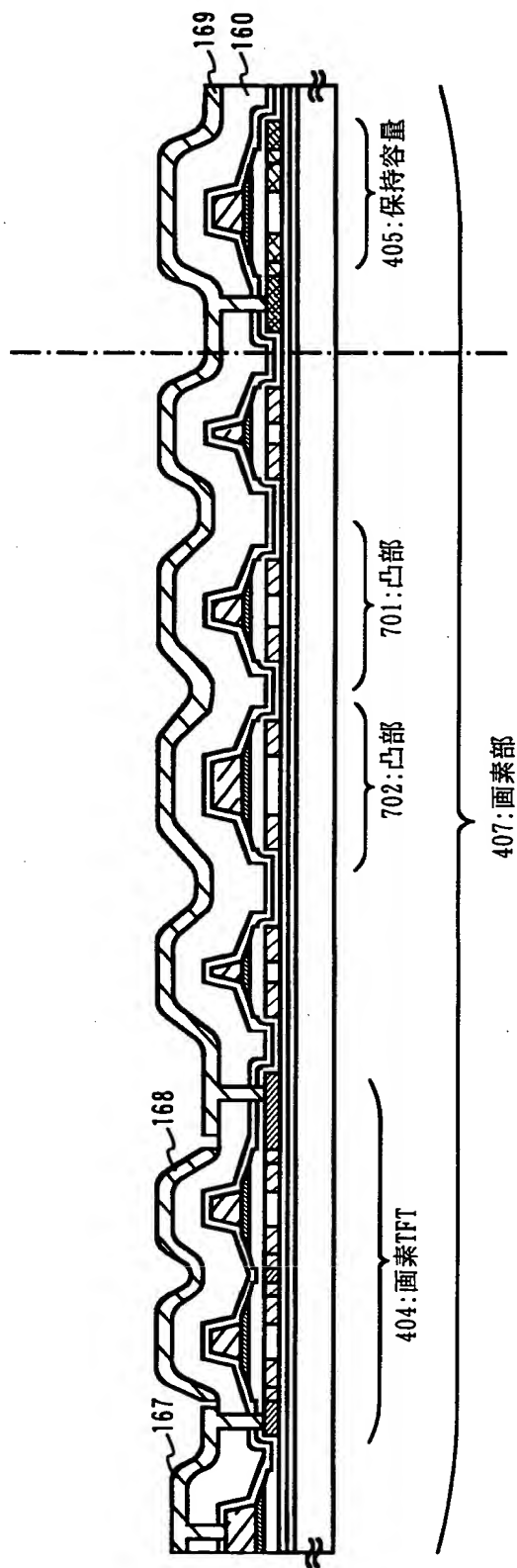
(A) 半導体層の形成／絶縁膜の形成／第1の導電膜と第2の導電膜の形成



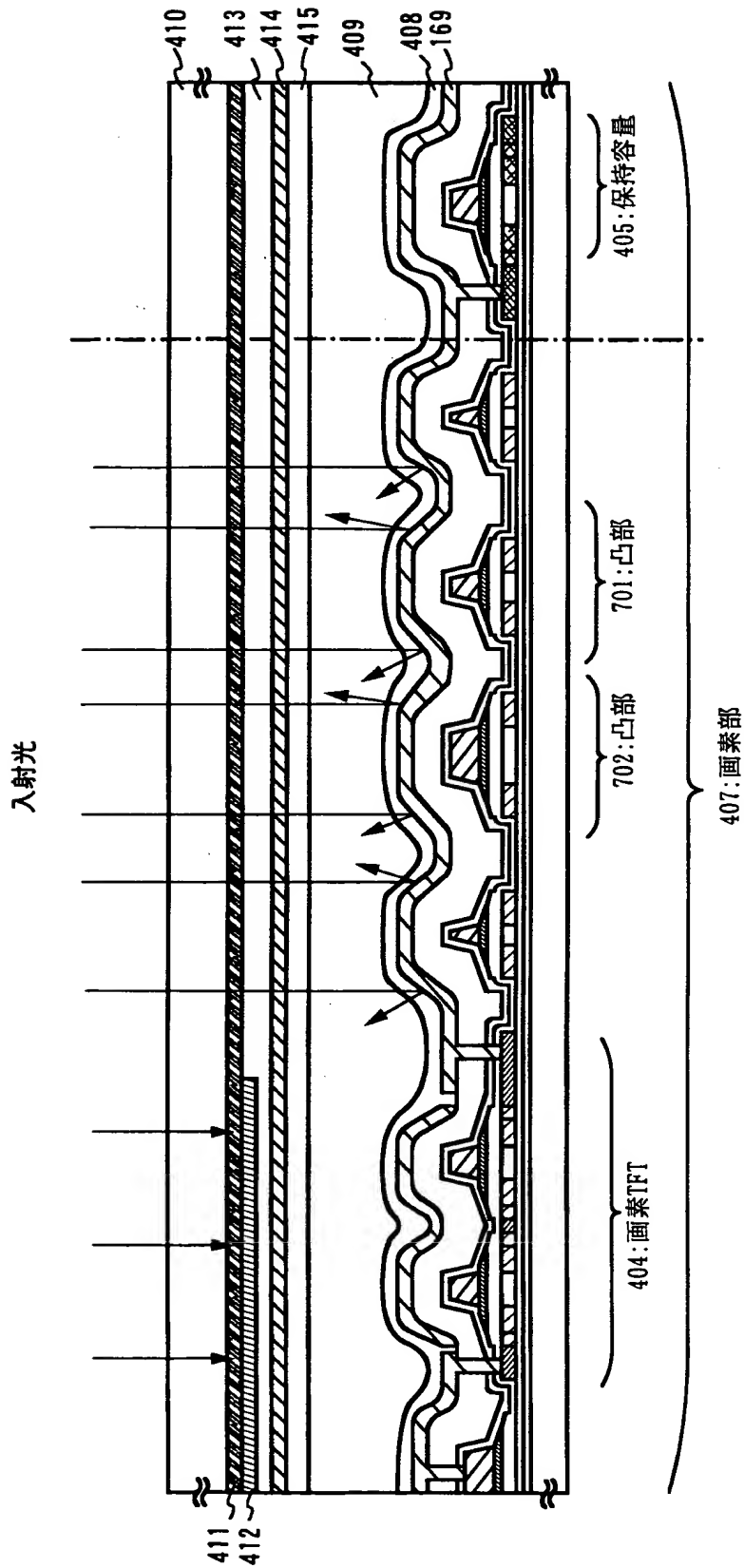
【図 2】



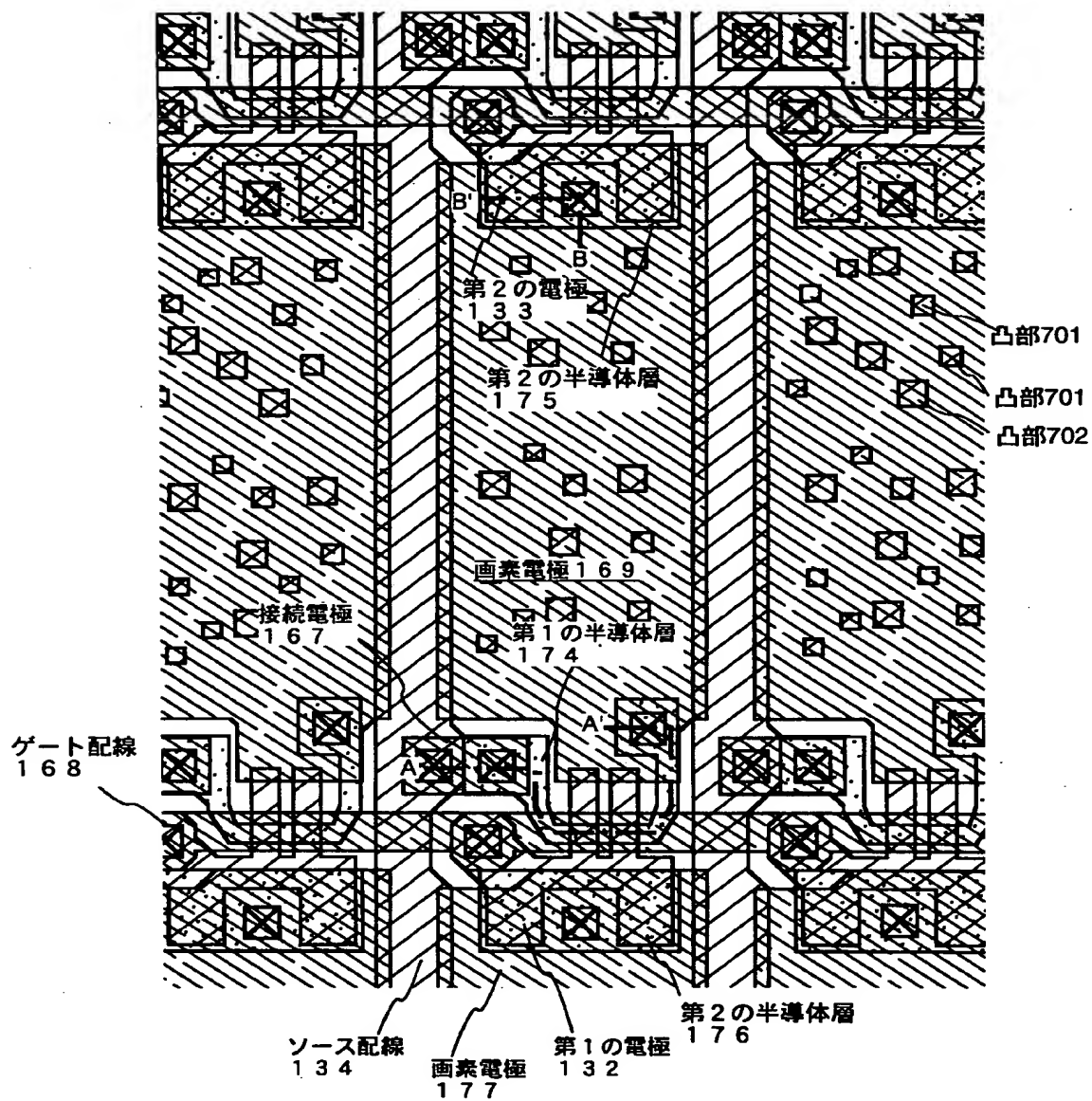
【図 3】



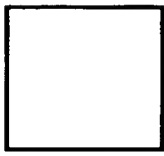
【图 4】



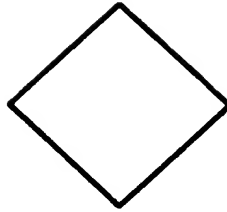
【図5】



【図 6】



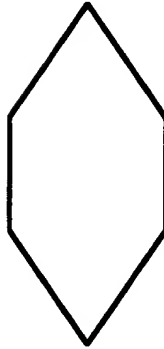
(A)



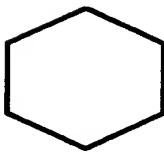
(B)



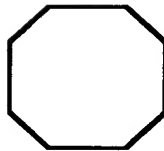
(C)



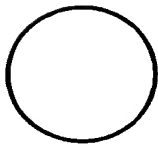
(D)



(E)



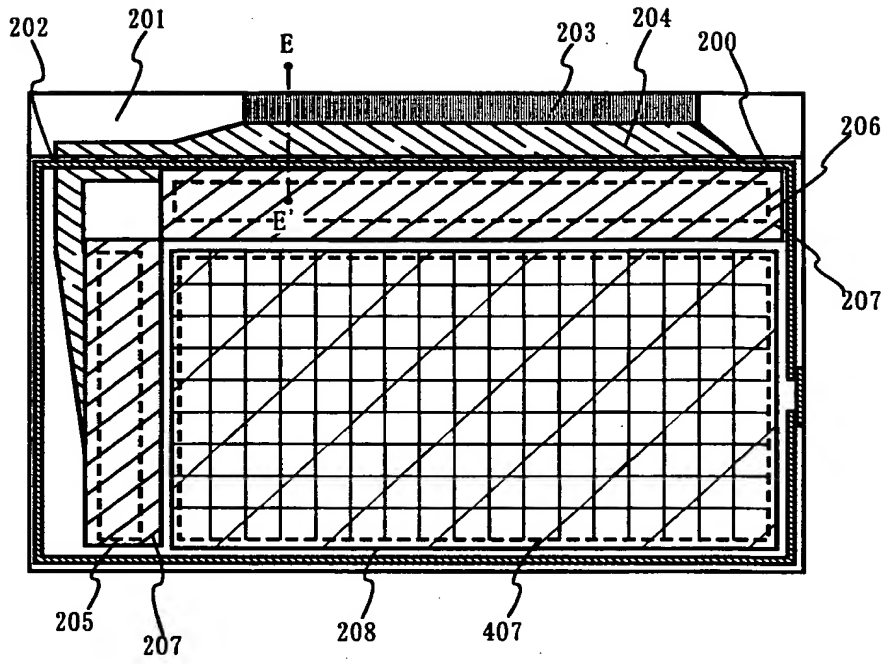
(F)



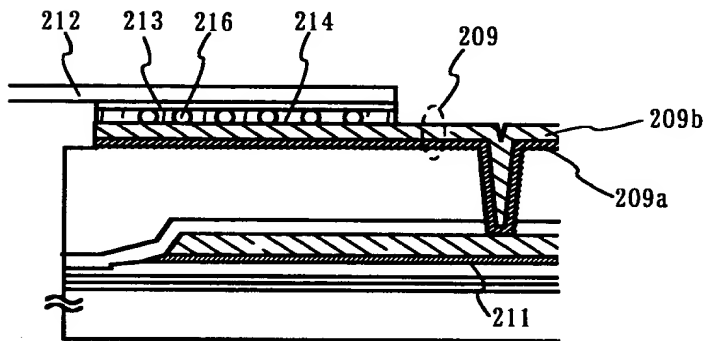
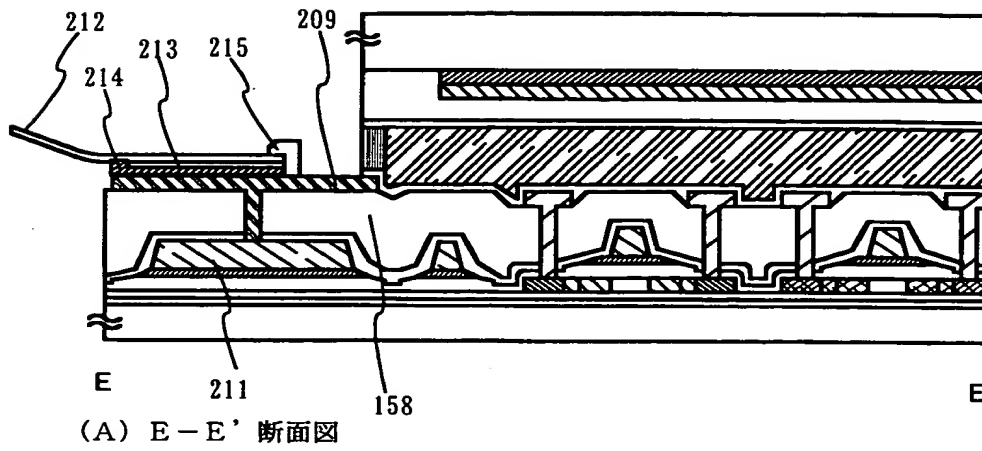
(G)



【図 7】



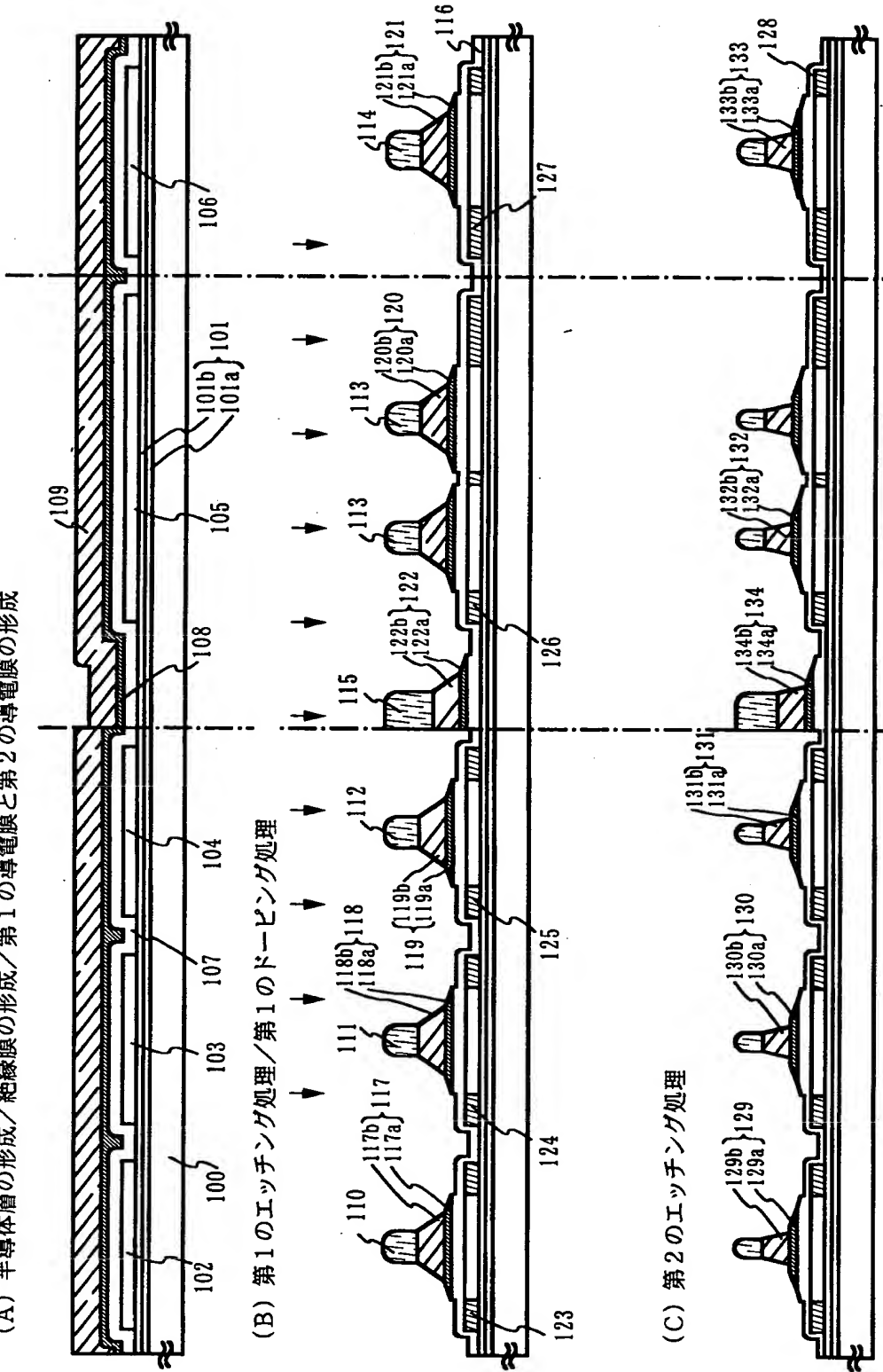
【図 8】



(B)

【図 9】

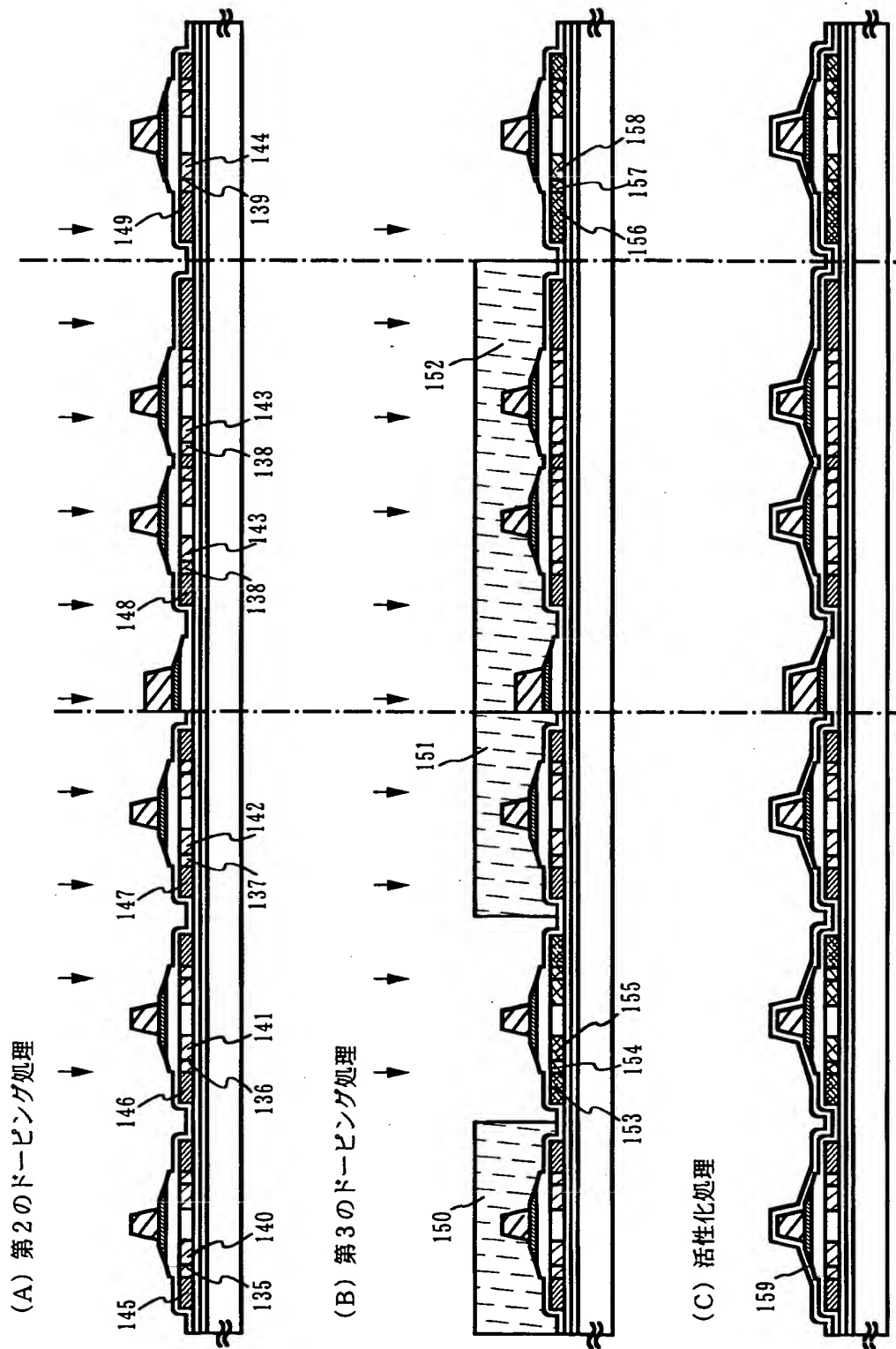
(A) 半導体層の形成／絶縁膜の形成／第1の導電膜と第2の導電膜の形成



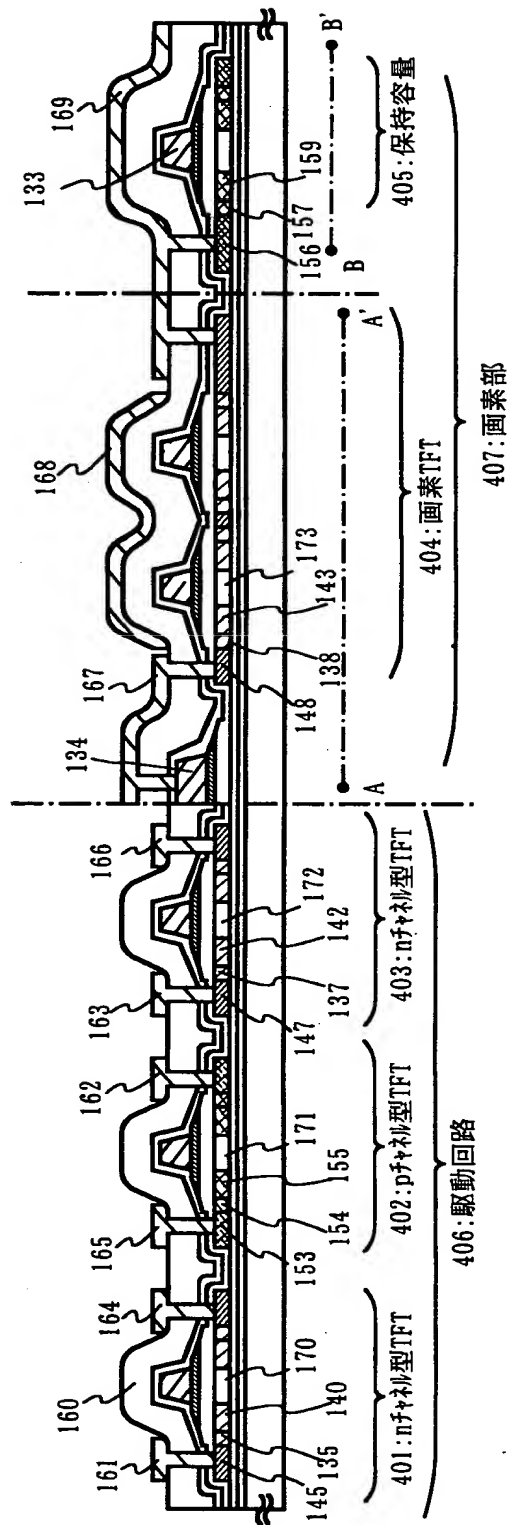
(B) 第1のエッチング処理／第1のドーピング処理

(C) 第2のエッチング処理

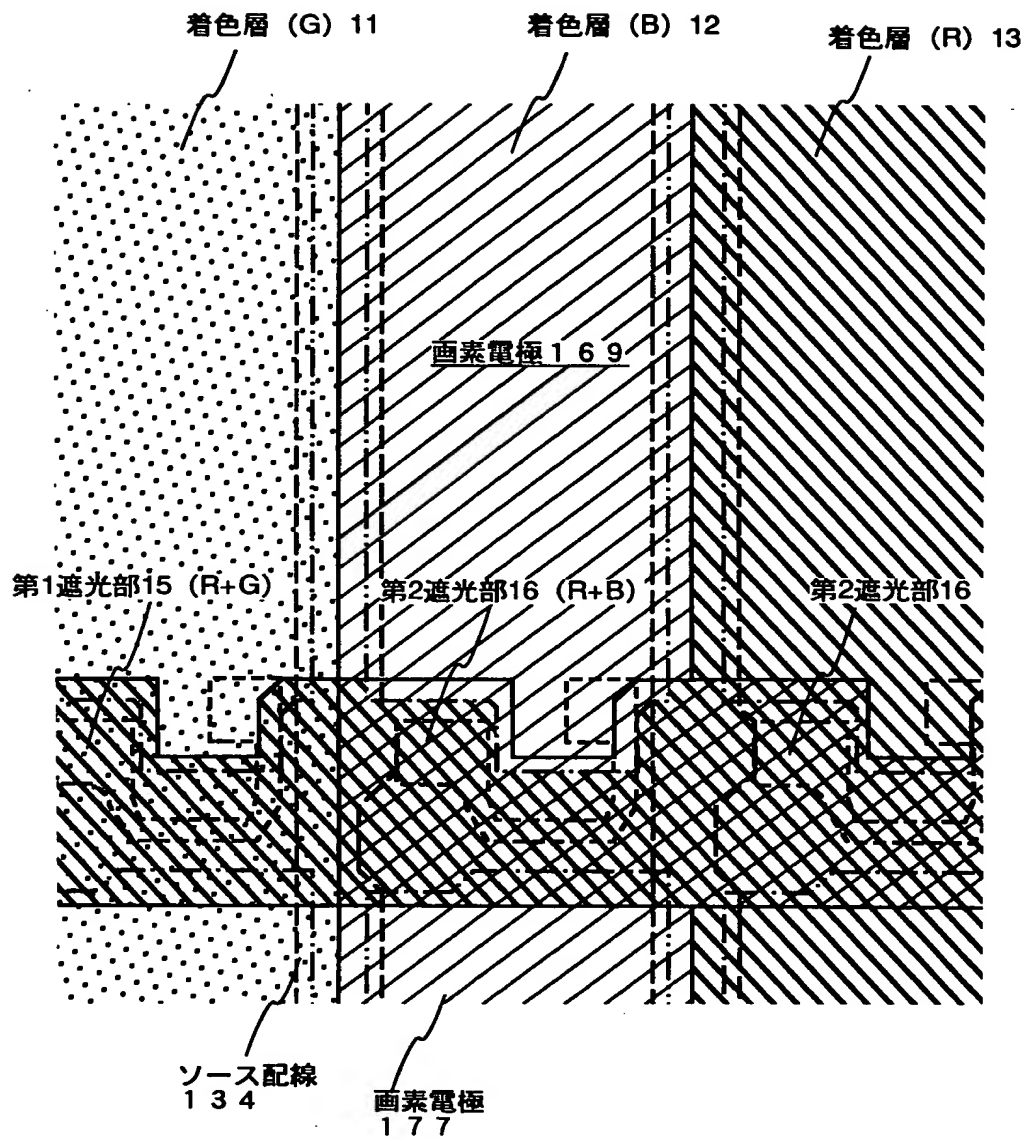
【図 10】



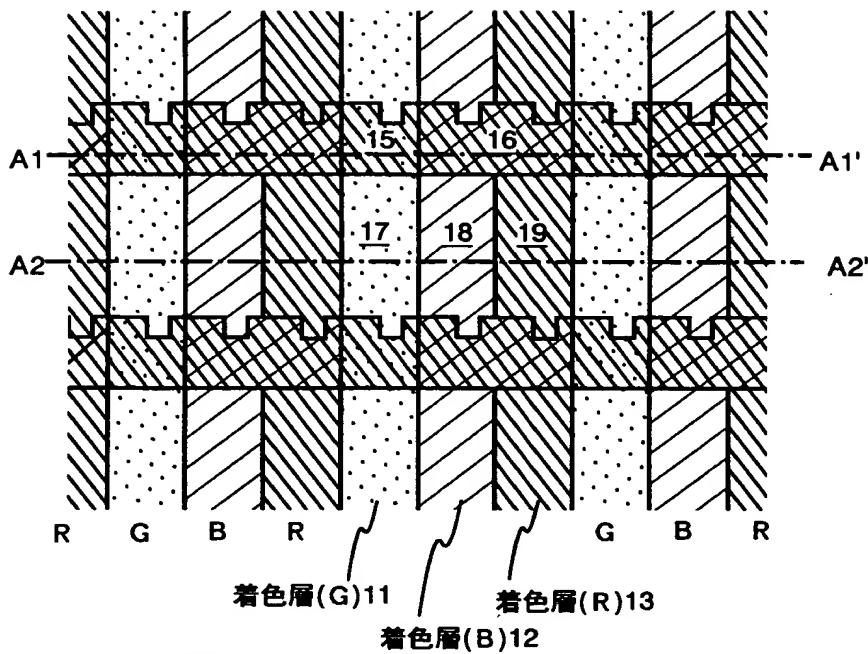
【図 11】



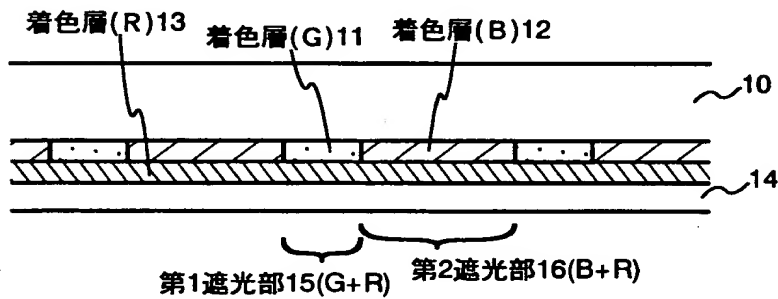
【図 1 2】



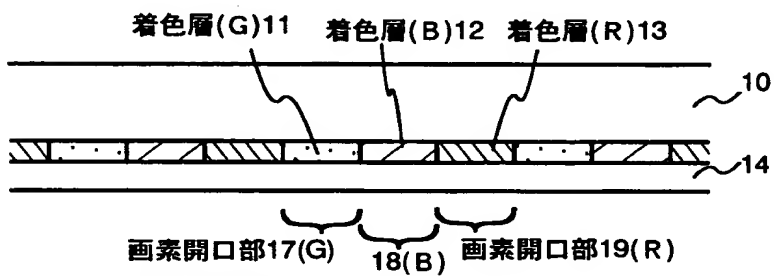
【図13】



(A) 上面図

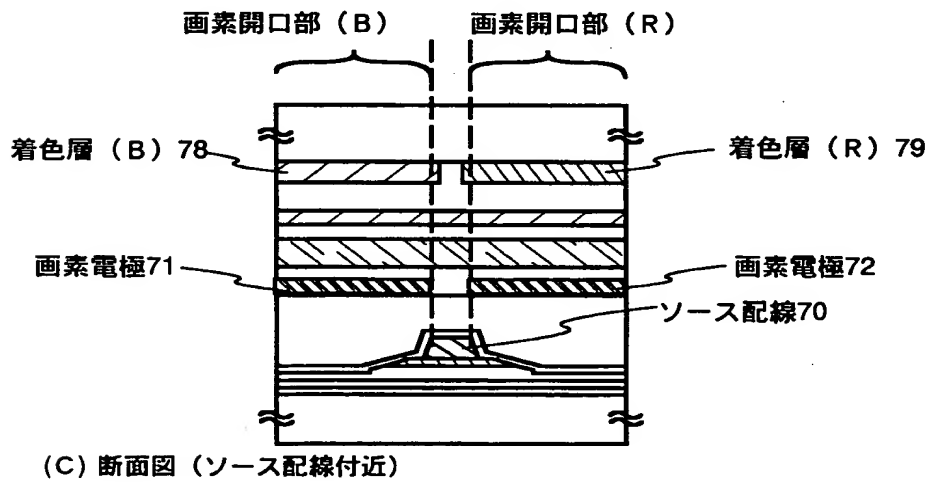
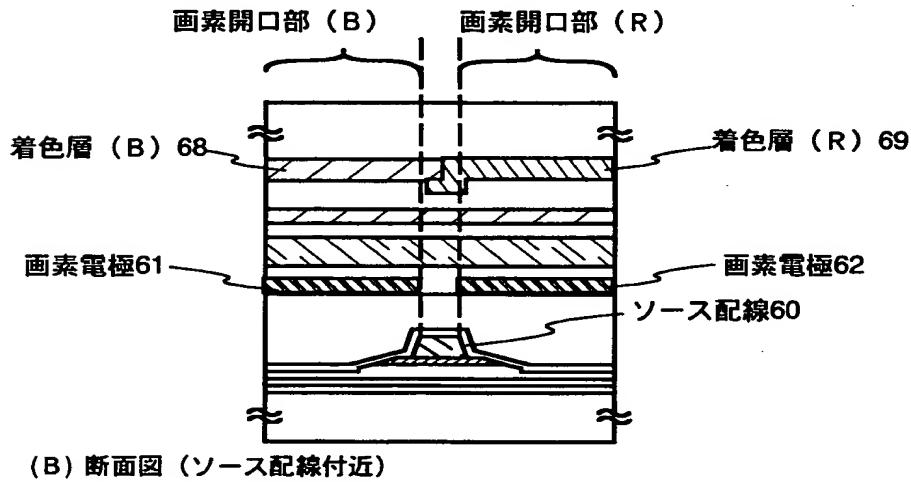
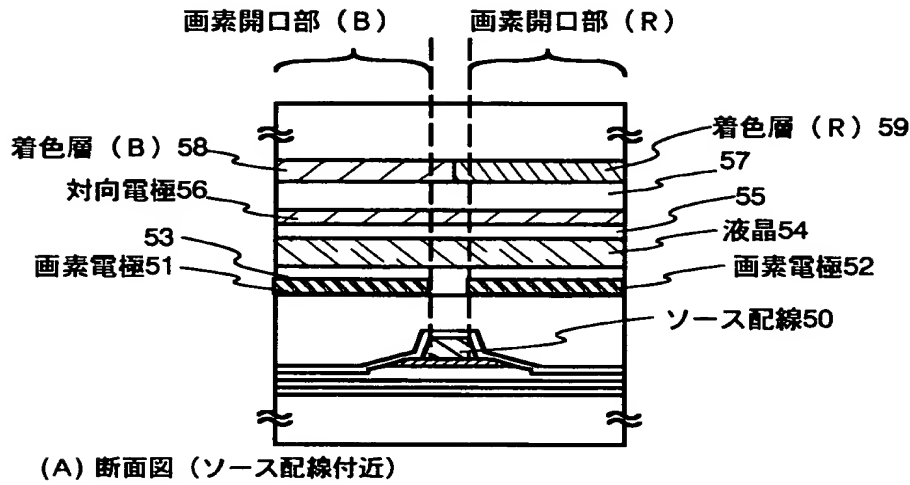


(B) A1-A1' 断面図 (第1遮光部及び第2遮光部)



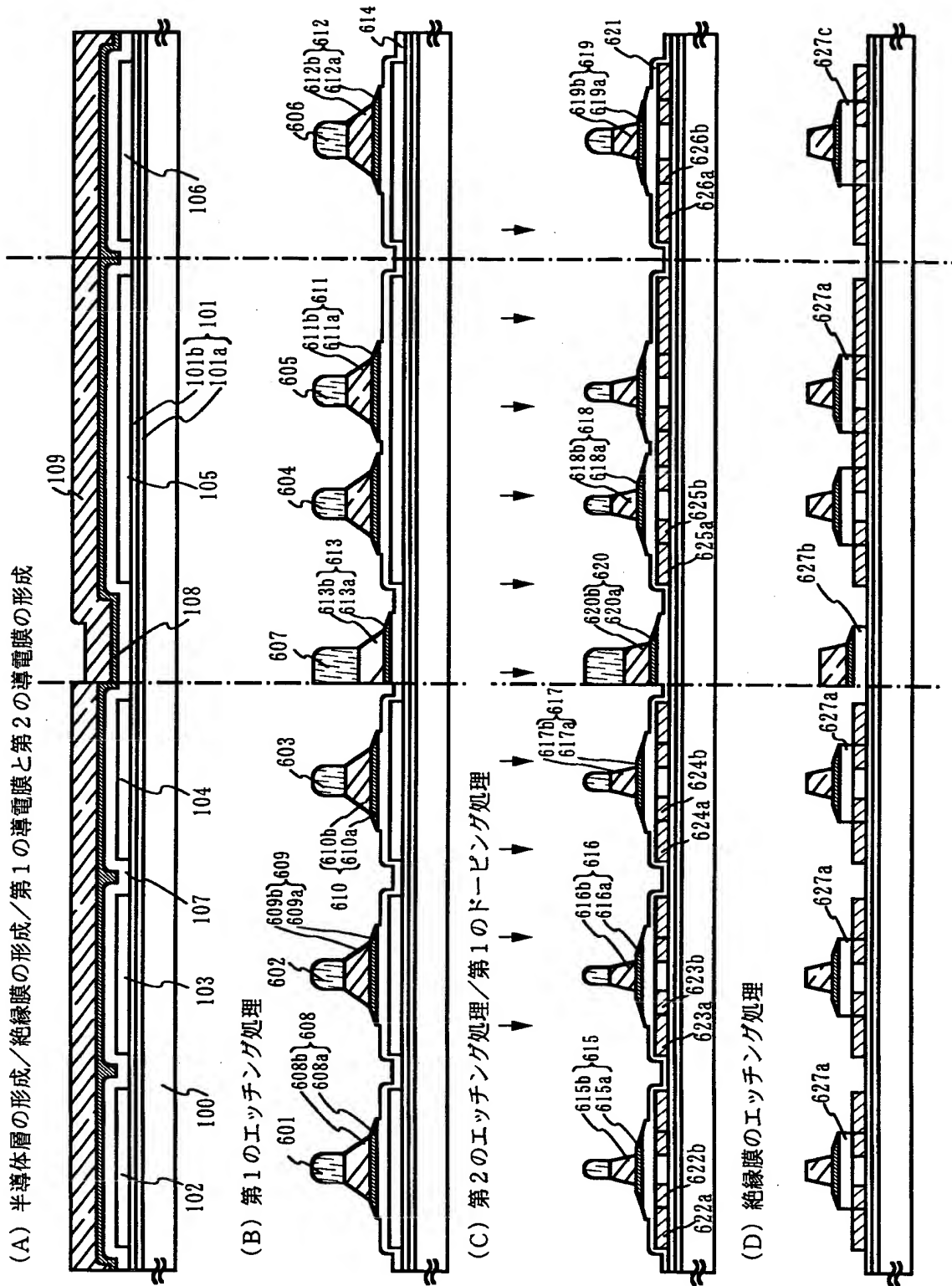
(C) A2-A2' 断面図 (画素開口部)

【図 14】

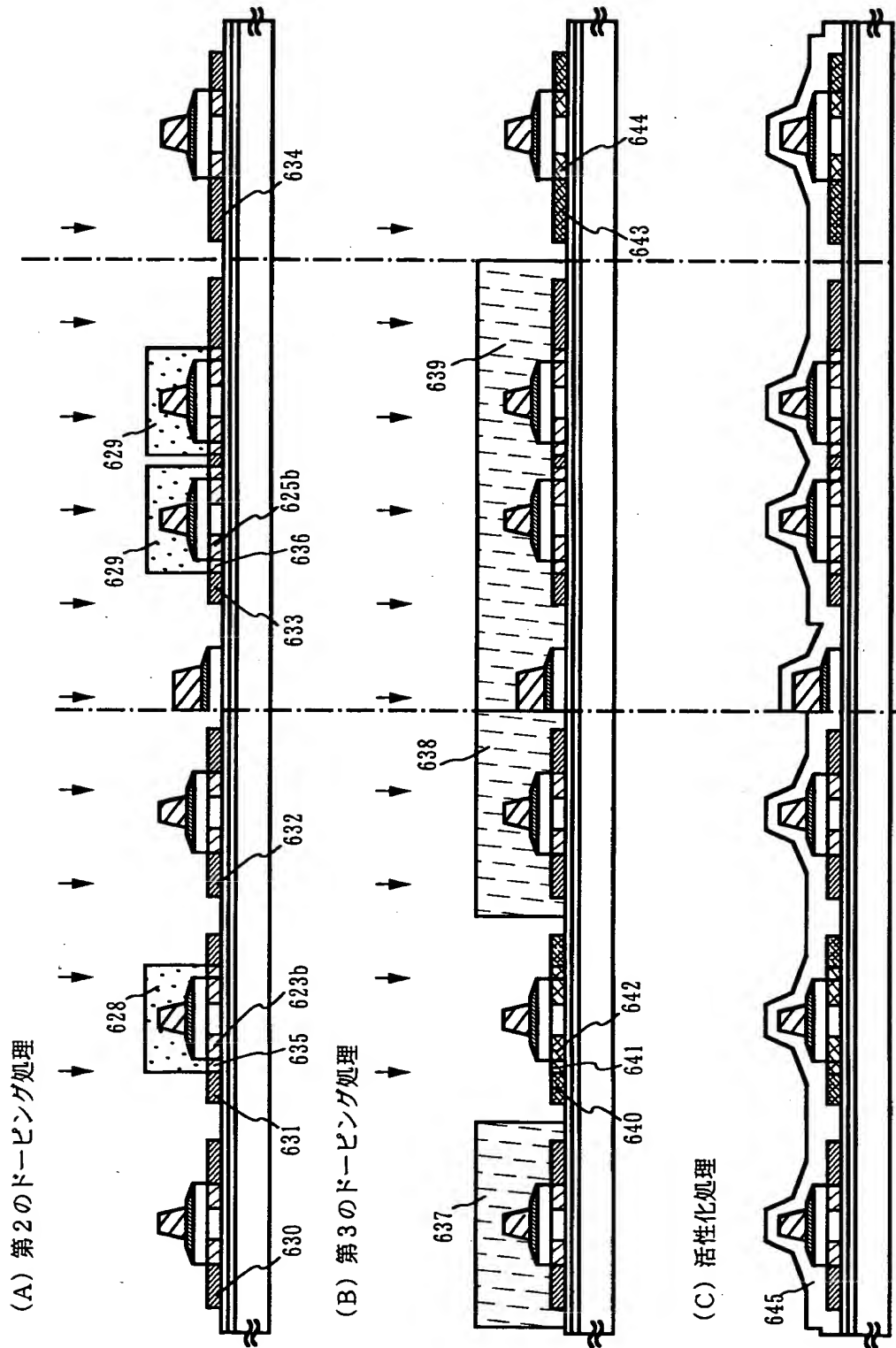




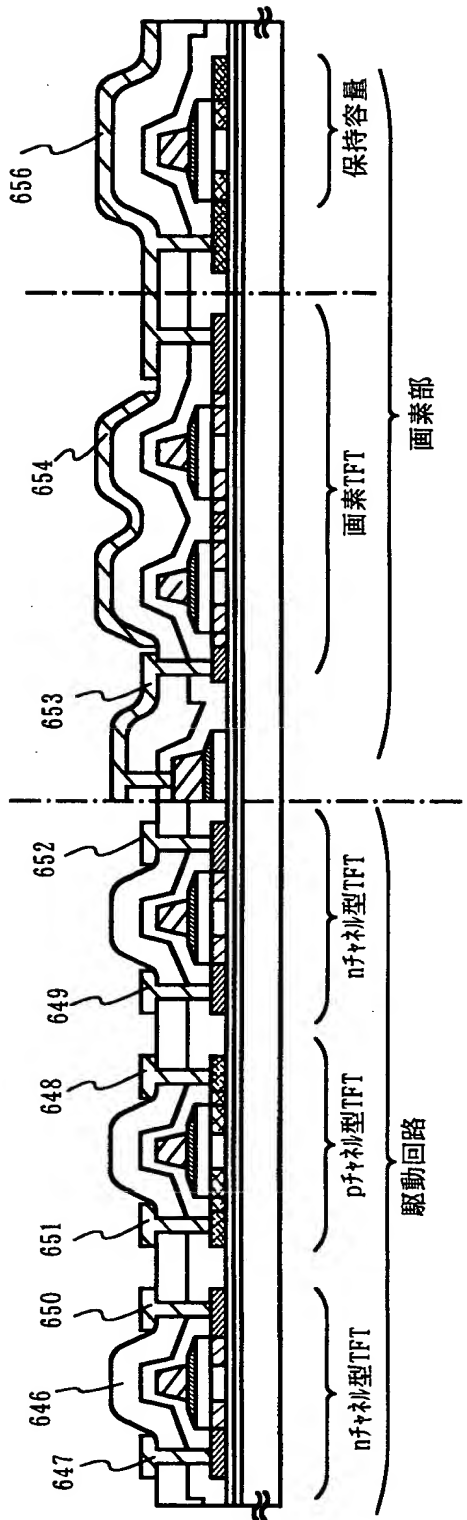
【図 15】



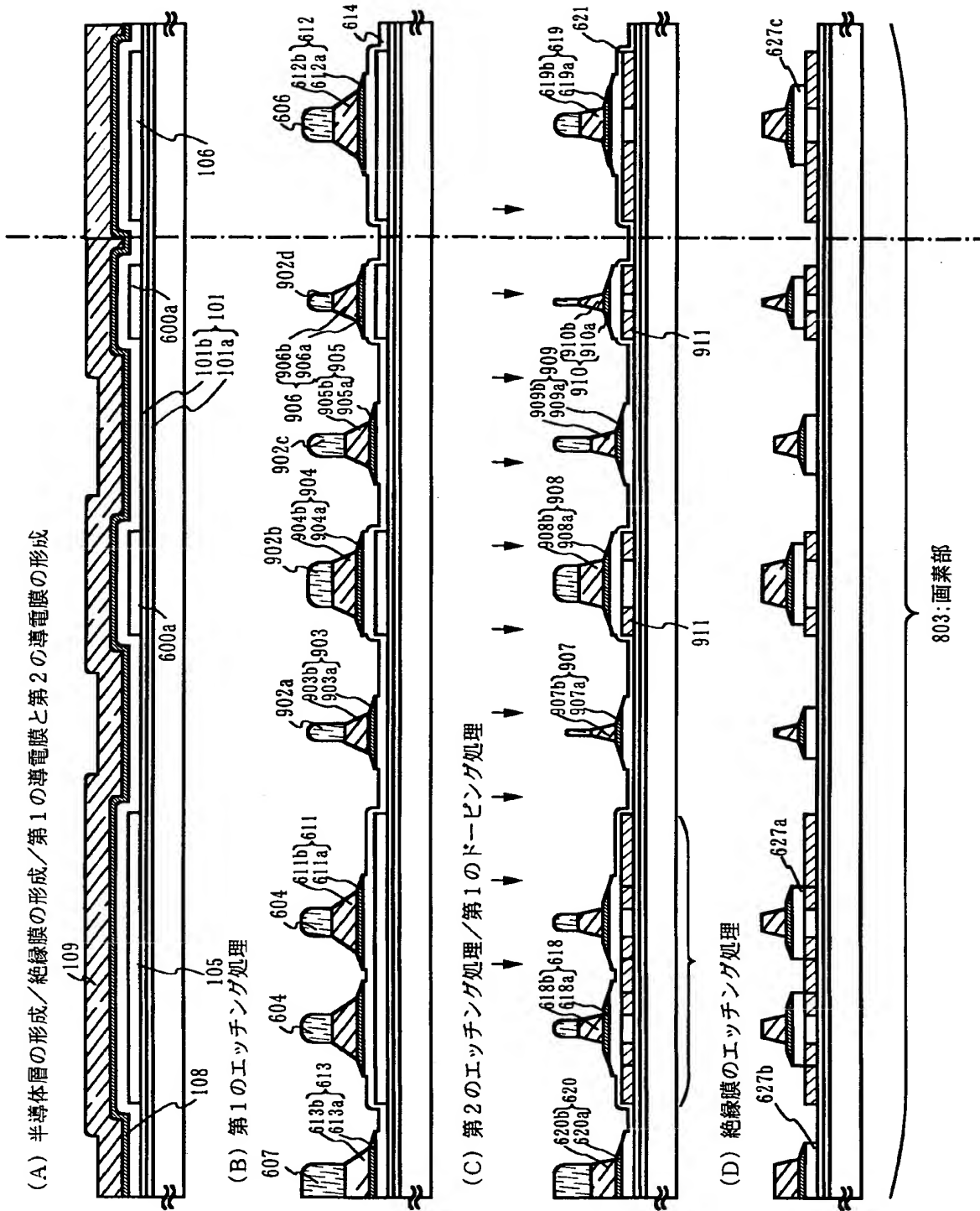
【図 16】



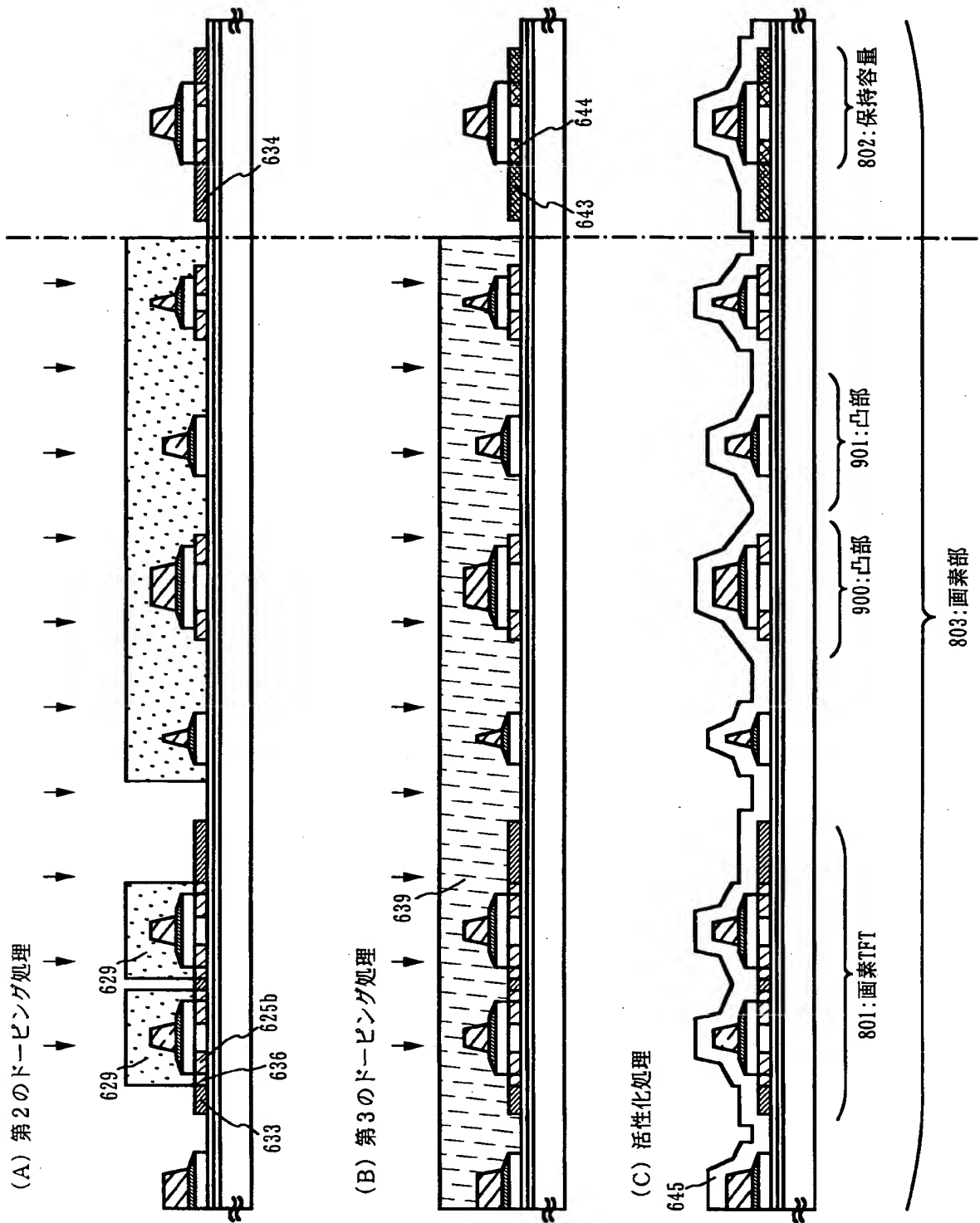
【図 17】



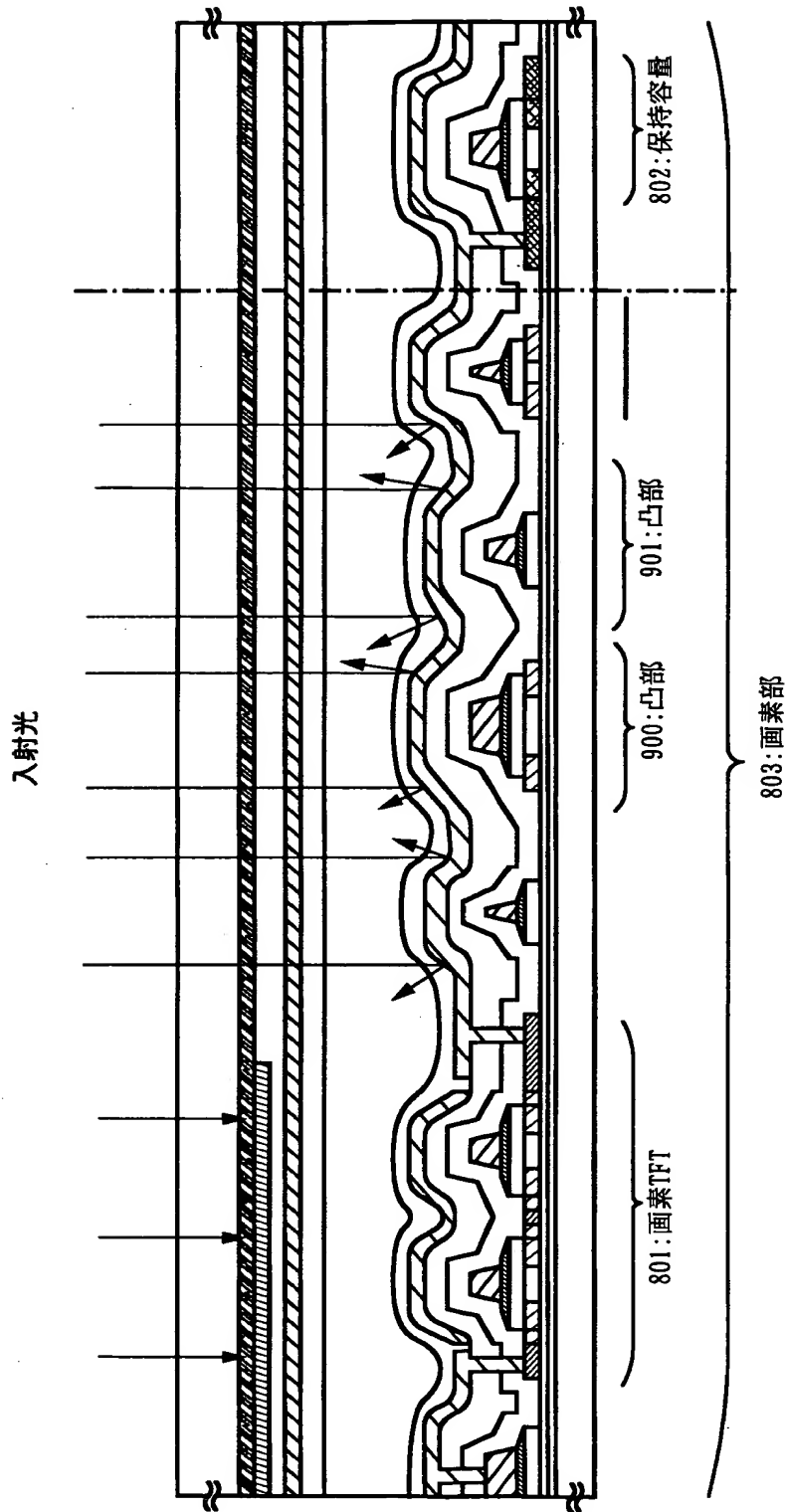
【図 18】



【図 19】

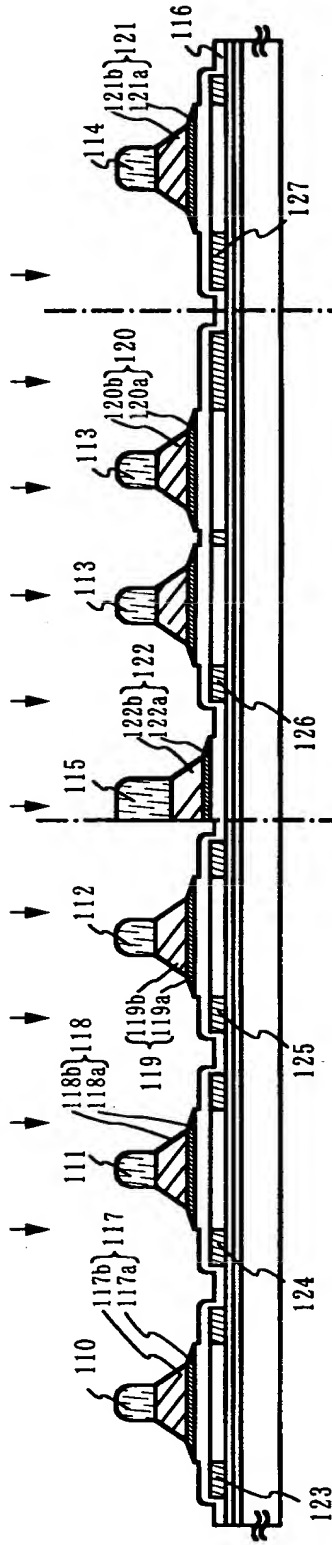


【図 2 0】

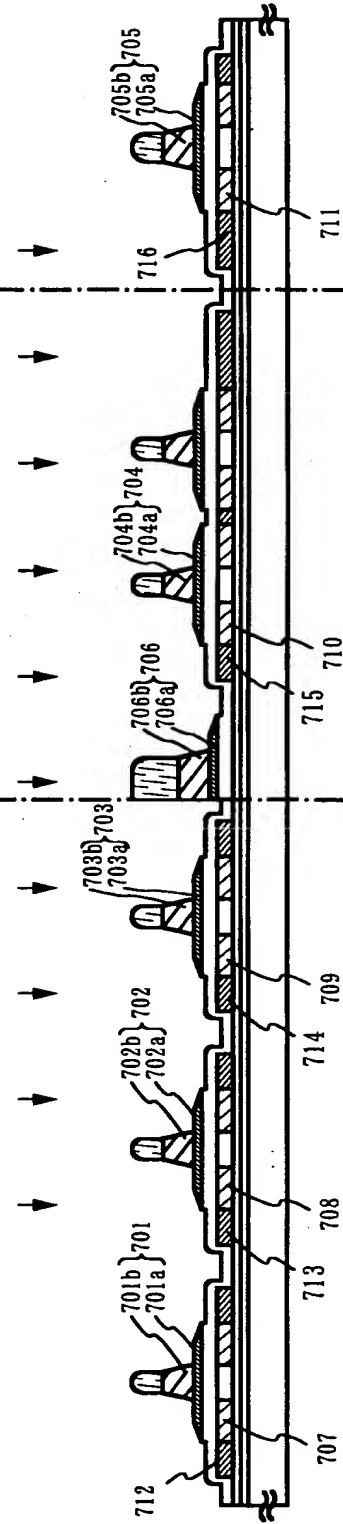


【図 21】

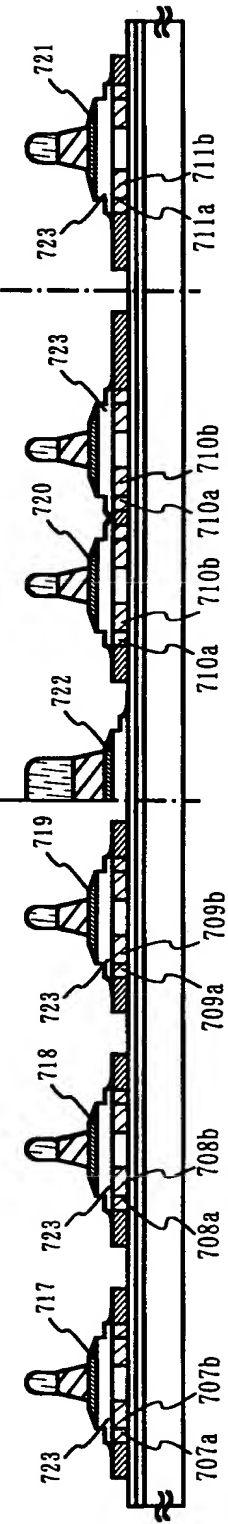
(A) 第1のエッチング処理/第1のドーピング処理



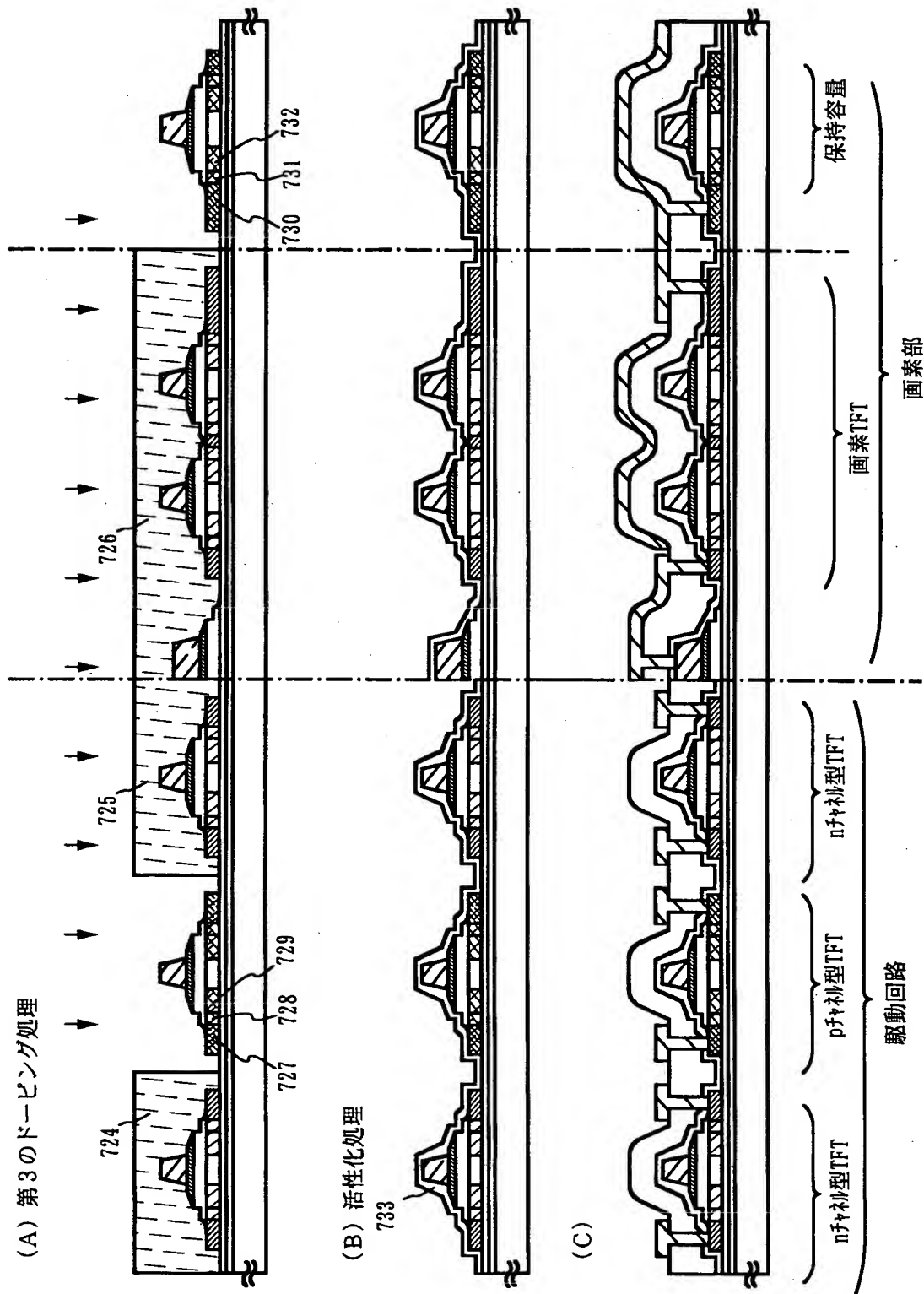
(B) 第2のエッチング処理/第2のドーピング処理



(C) 第3のエッチング処理

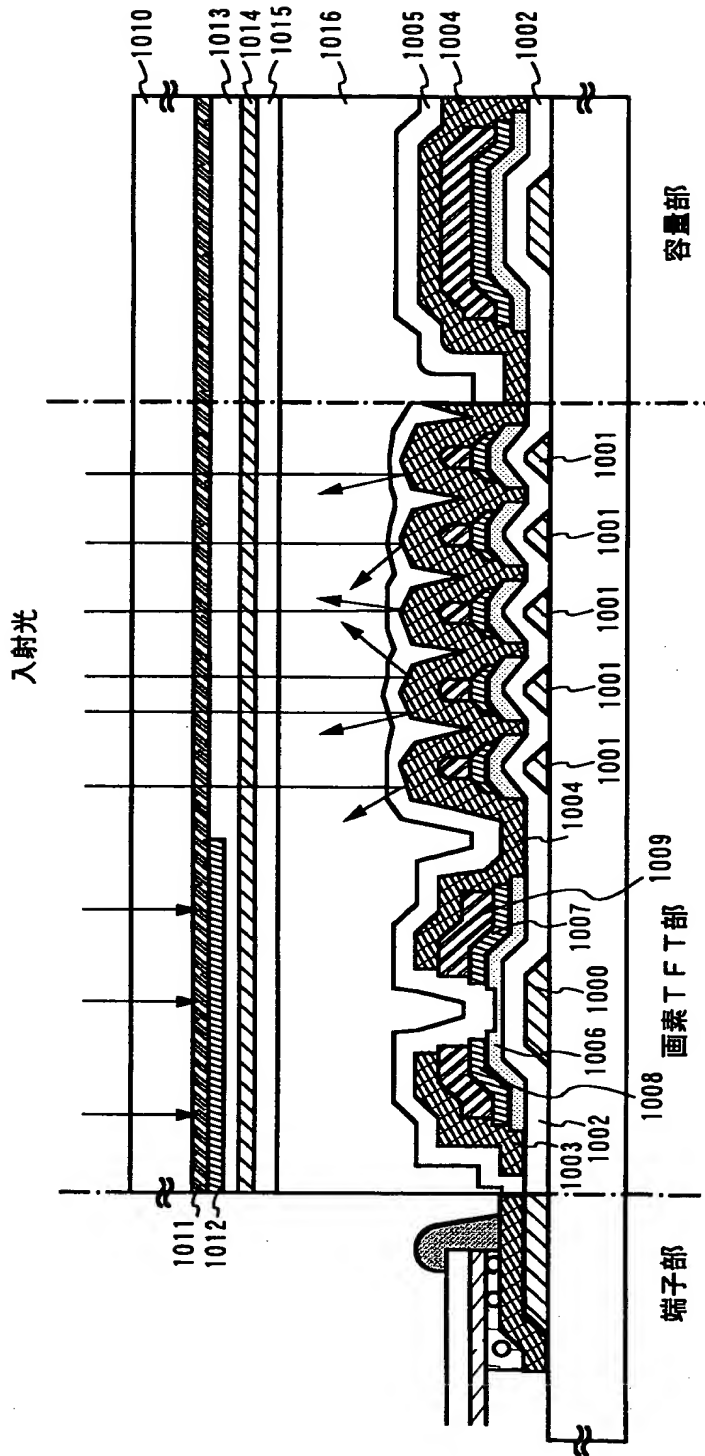


【図 22】

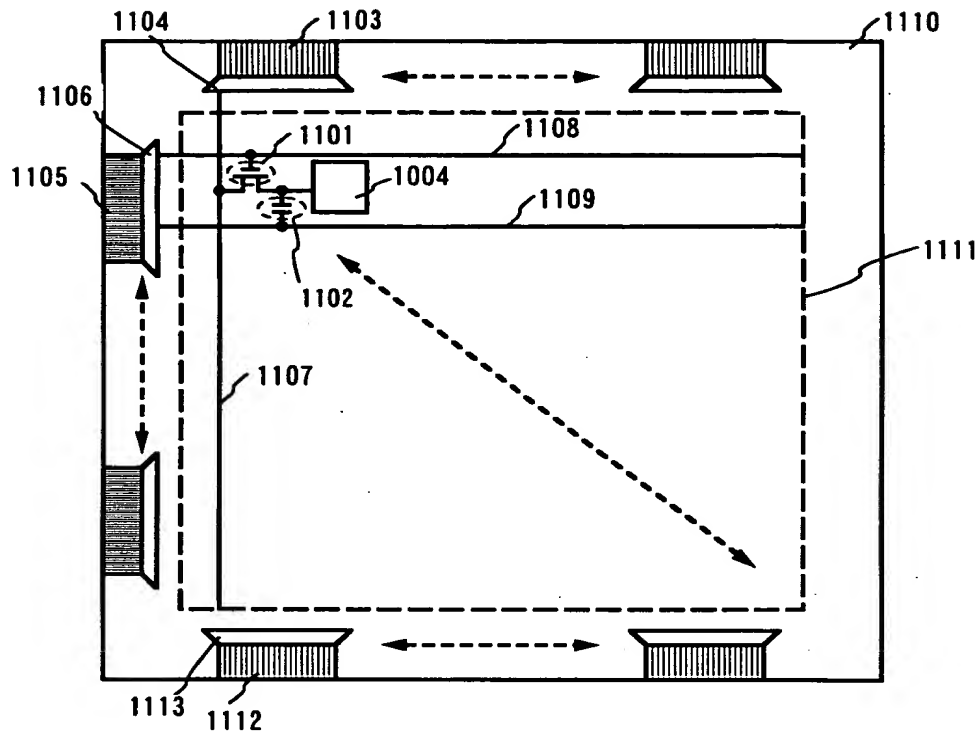




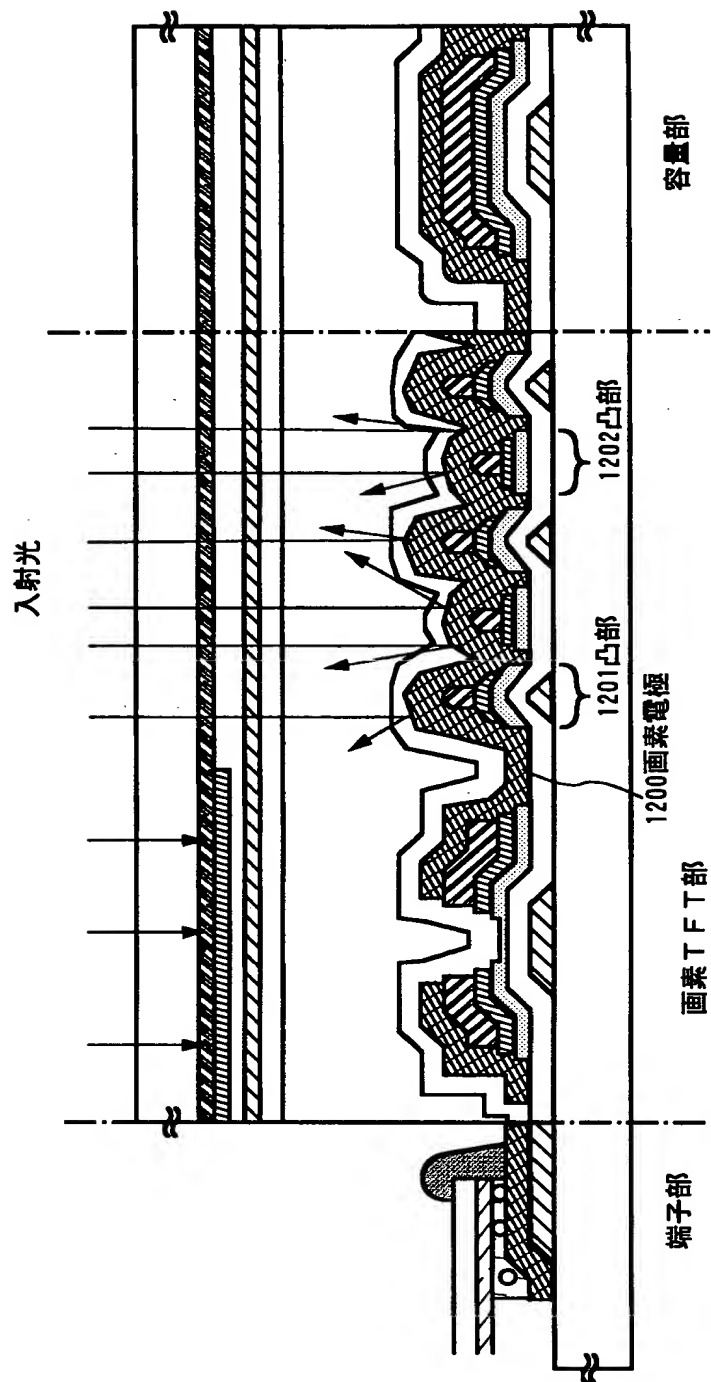
【図 23】



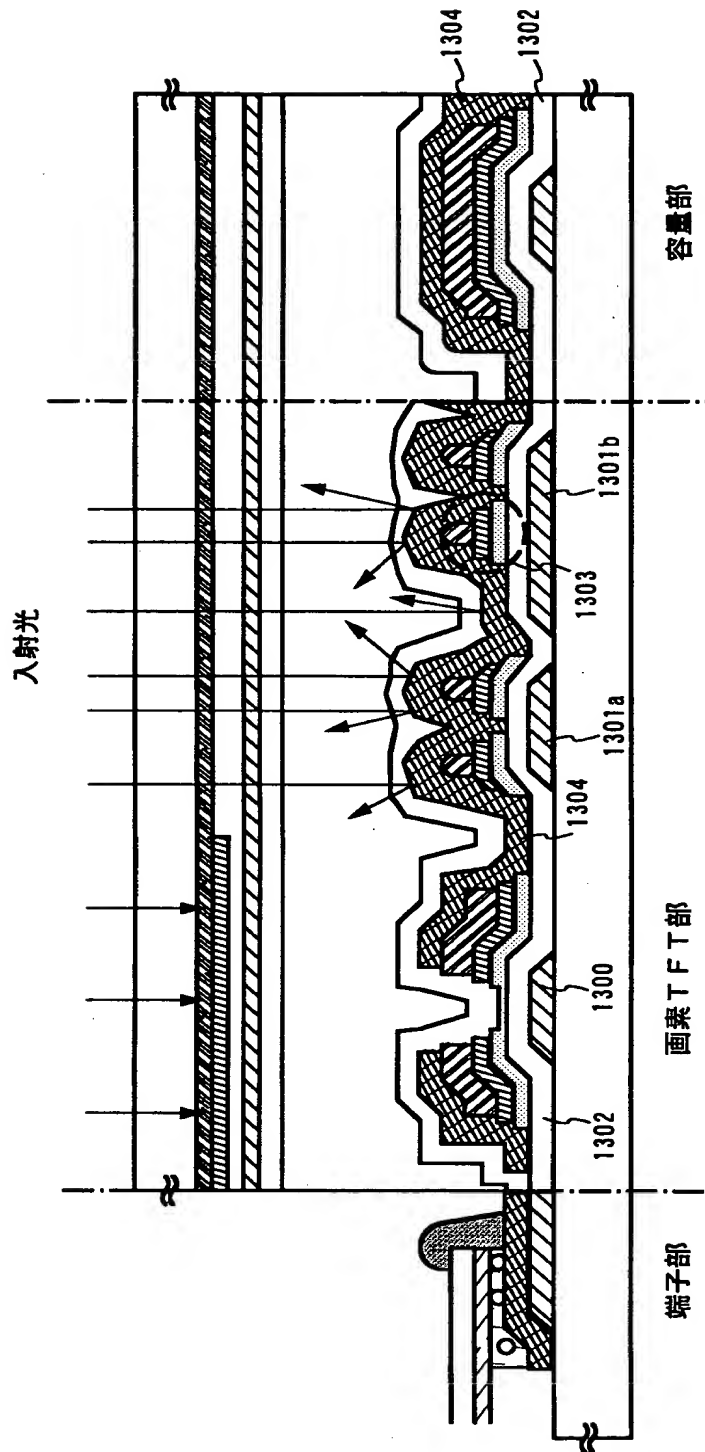
【図 2 4】



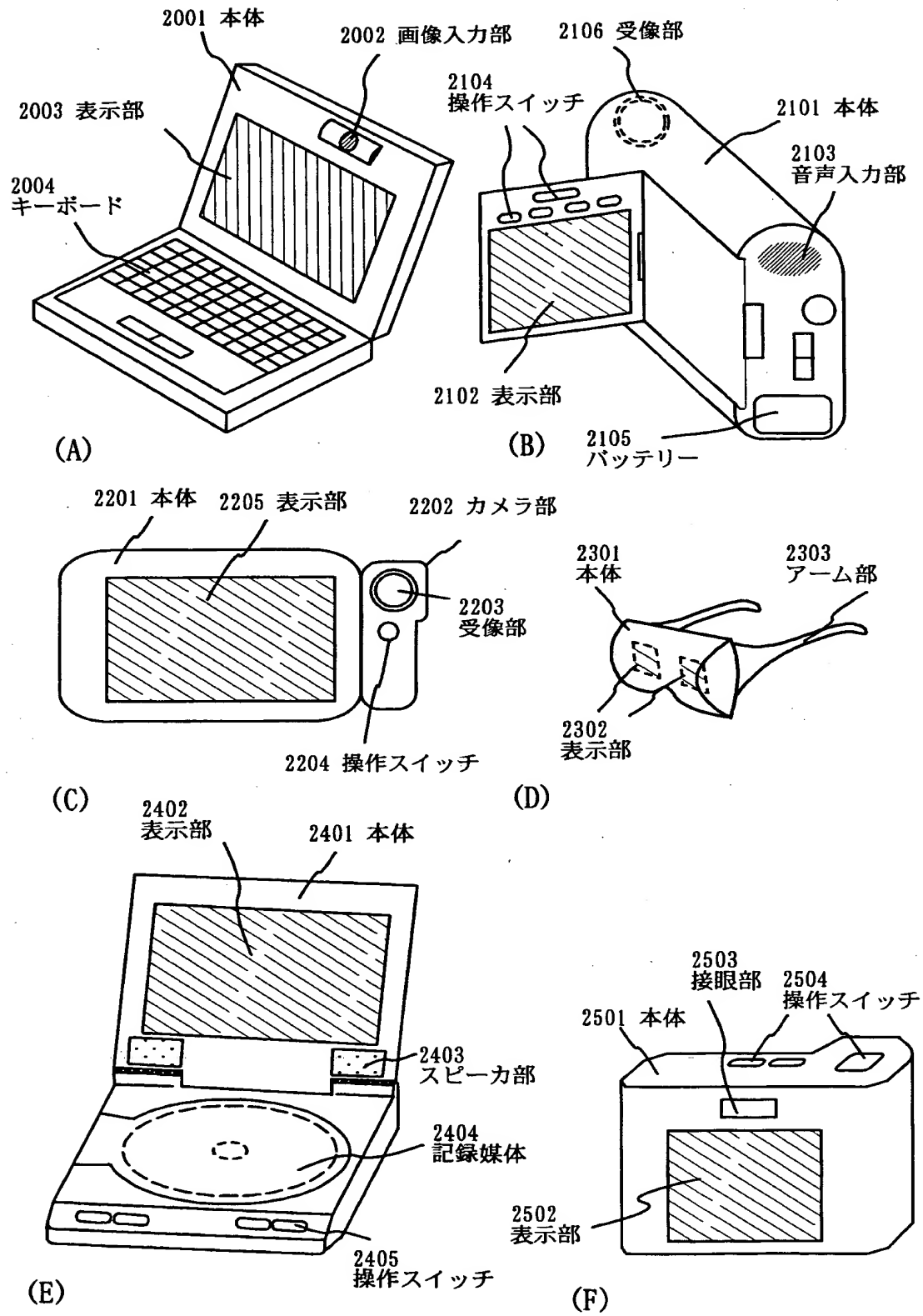
【図 25】



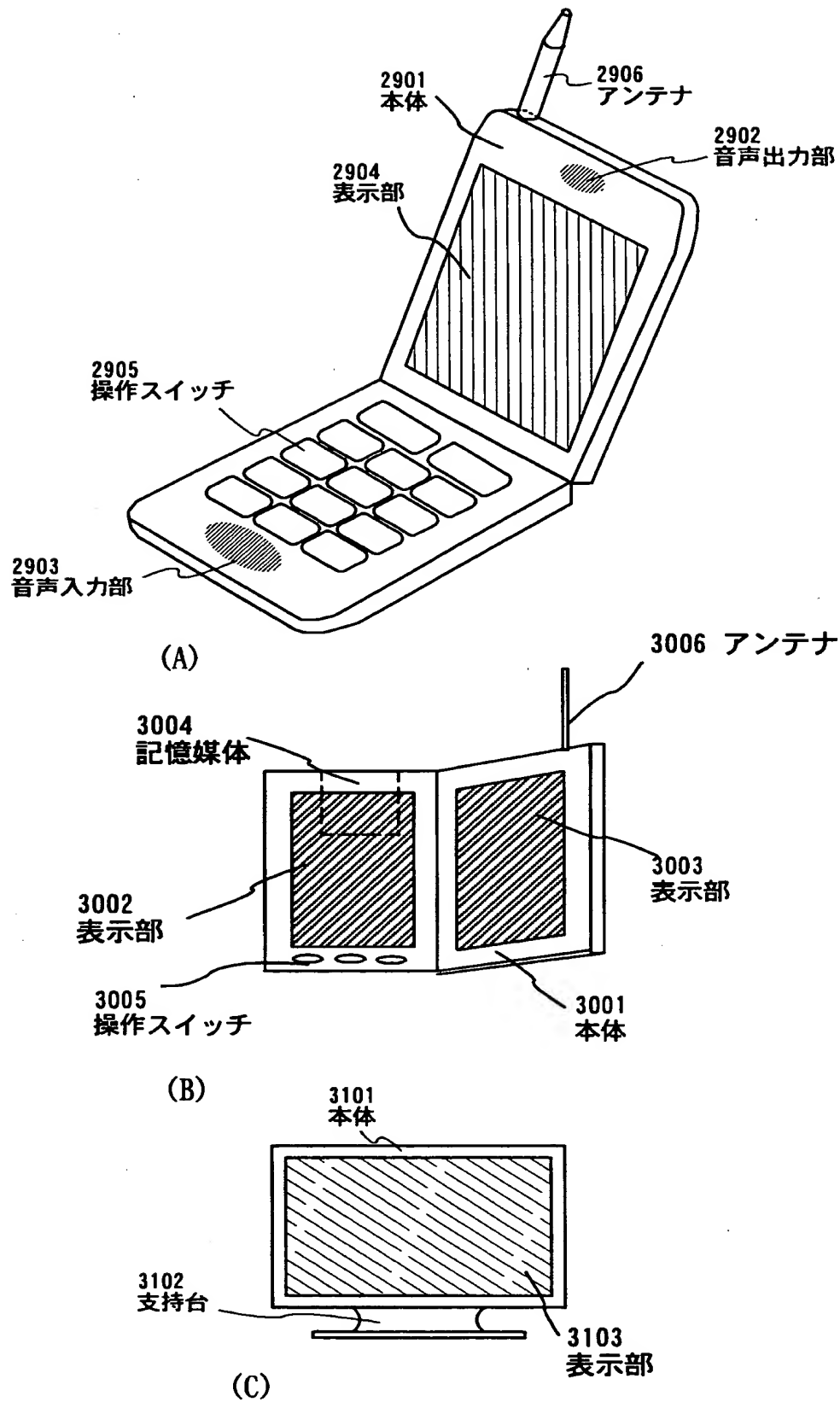
【図 26】



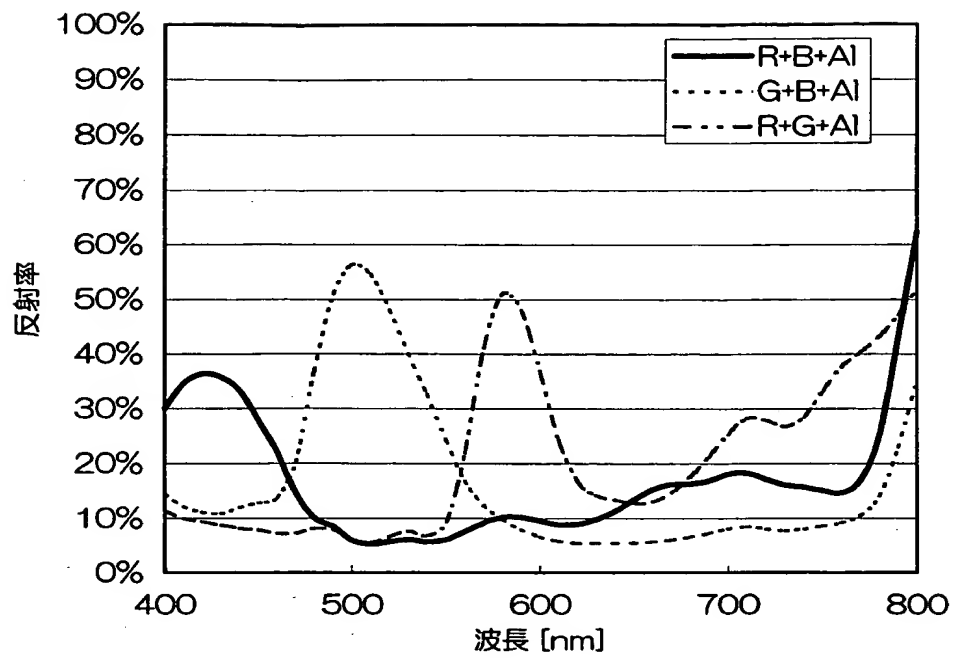
【図 27】



【図 2 8】

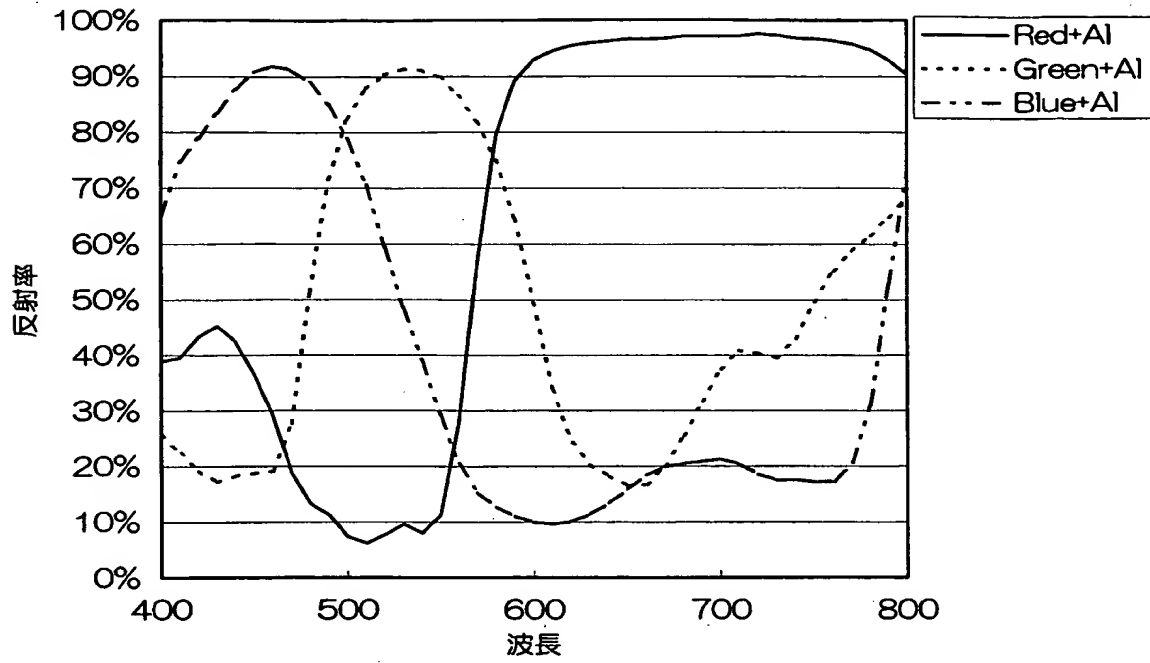


【図 2 9】



2層積層の反射率(Ref:Al-Ti)

【図 3 0】



←青色領域→ ←緑色領域→ ←赤色領域→

単層での反射率(Ref:Al-Ti)



【書類名】 要約書

【要約】

【課題】 工程を増やすことなく、反射電極の鏡面反射を防ぐ凸凹を形成する手段を提供する。

【解決手段】

反射型の液晶表示装置の作製方法において、画素電極の表面に凹凸を持たせて光散乱性を図るための凸部 7 0 1、7 0 2 の形成を T F T の形成と同じフォトマスクで行い、画素電極 1 6 9 の表面に凸凹を形成する。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日  
[変更理由] 新規登録  
住 所 神奈川県厚木市長谷398番地  
氏 名 株式会社半導体エネルギー研究所



Creation date: 01-12-2004  
Indexing Officer: ZPETROS - ZENEBECH PETROS  
Team: OIPEBackFileIndexing  
Dossier: 09841537

Legal Date: 06-19-2002

No.	Docode	Number of pages
1	IDS	2
2	FOR	7
3	FOR	9
4	FOR	10
5	NPL	1
6	NPL	2
7	NPL	1

Total number of pages: 32

Remarks:

Order of re-scan issued on .....